

# SYNCHRONOUS SEMICONDUCTOR MEMORY

Publication number: JP2000048565

Publication date: 2000-02-18

Inventor: HAMAMOTO TAKESHI; KAWAGUCHI YOSHINARI;  
HARA MOTOKO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: G11C11/413; G11C7/10; G11C8/18; G11C11/401;  
G11C11/407; G11C11/413; G11C7/10; G11C8/00;  
G11C11/401; G11C11/407; (IPC1-7): G11C11/407;  
G11C11/408; G11C11/413

- european: G11C7/10S; G11C8/18

Application number: JP19980213950 19980729

Priority number(s): JP19980213950 19980729

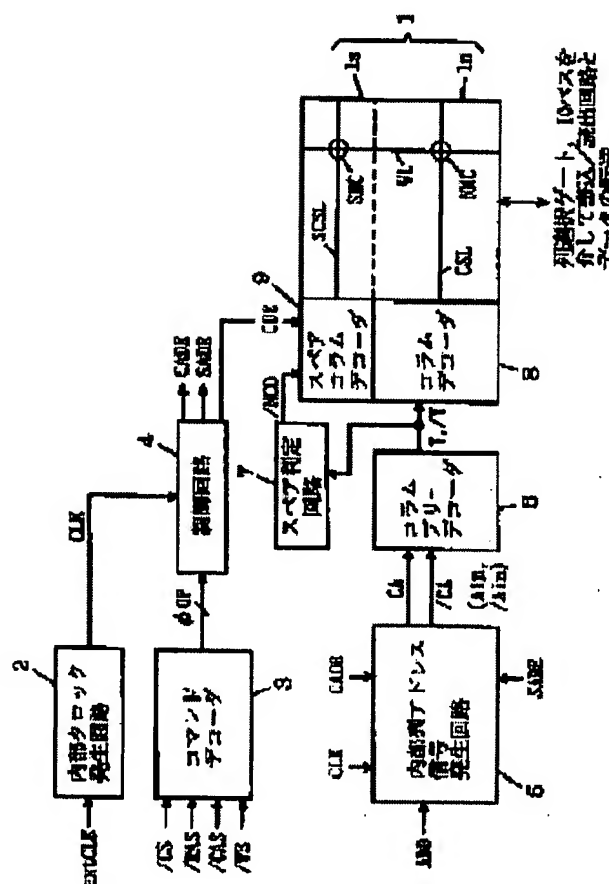
Also published as:

US6243320 (B1)

Report a data error here

## Abstract of JP2000048565

**PROBLEM TO BE SOLVED:** To provide a synchronous semiconductor memory for conducting a column selection operation at a high speed. **SOLUTION:** A command decoder 3 receives an external command independently from an internal clock signal CLK, decodes it, generates a column access mode directive signal, and activates column address activation signals (CADE, SADE) at a rise of the signal CLK. An internal column address signal generator generates an internal column address signal from the external address signal according to the activation signals (CADE and SADE). The internal column address is generated at early timing, and following column selecting operation starting timing can be early executed.



Data supplied from the esp@cenet database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-48565

(P2000-48565A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード <sup>*</sup> (参考)
G 1 1 C 11/407		C 1 1 C 11/34	3 6 2 S 5 B 0 1 0
11/413			J 5 B 0 2 4
11/408			3 6 4 B

審査請求 未請求 請求項の数22 O L (全 37 頁)

(21) 出願番号 特願平10-213950

(22) 出願日 平成10年7月29日 (1998.7.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 濱本 武史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 川口 善也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

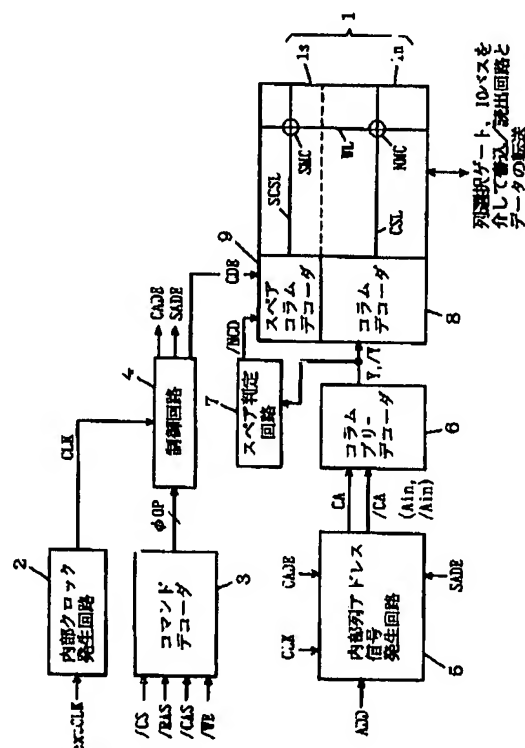
最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 高速で列選択動作を行なうことができる同期型半導体記憶装置を提供する。

【解決手段】 コマンドデコーダ (3) は、内部クロック信号 (CLK) と独立に外部からのコマンドを受けてデコードして、列アクセスモード指示信号を生成し、内部クロック信号 CLK の立上がりで列アドレス活性化信号 (CADE, SADE) を活性化する。内部列アドレス信号発生回路は、この列アドレス活性化信号 (CADE および SADE) に従って外部からのアドレス信号から内部列アドレス信号を生成する。早いタイミングで、内部列アドレスが生成され、以降の列選択動作開始タイミングを早くすることができる。



## 【特許請求の範囲】

【請求項1】 行列状に配列される複数のメモリセルを有するメモリアレイ、  
クロック信号に同期して、外部から与えられるアドレス信号を通過させるアドレス入力ゲート、  
前記アドレス入力ゲートの出力アドレス信号に従って、相補内部アドレス信号を生成するアドレス生成回路、  
前記アドレス生成回路からの相補内部アドレス信号に従って、前記メモリセルアレイの列を指定する列選択信号を生成する列選択信号生成回路を備える、同期型半導体記憶装置。

【請求項2】 前記アドレス生成回路は、  
前記アドレス入力ゲートの出力アドレス信号をラッチしかつ相補信号を生成する第1のラッチ回路と、  
前記第1のラッチ回路のラッチする相補アドレス信号を、前記クロック信号にตอบสนองして前記アドレス入力ゲートと相補的に導通して前記第1のラッチ回路のラッチする相補アドレス信号を通過させて前記相補内部アドレス信号を生成するゲート回路とを備える、請求項1記載の同期型半導体記憶装置。

【請求項3】 外部からのコマンドを受け該受けたコマンドが列選択動作を指示するアクセスコマンドのとき前記クロック信号に同期して列アドレス活性化信号を生成する制御回路をさらに備え、  
前記列選択信号生成回路は、前記アドレス生成回路からの相補内部アドレス信号と前記列アドレス活性化信号とに従って互いに相補な内部列アドレス信号を生成する列アドレス信号発生回路を含む、請求項1記載の同期型半導体記憶装置。

【請求項4】 前記アドレス生成回路は、さらに、前記ゲート回路の出力する相補内部アドレス信号をラッチする第2のラッチ回路を備える、請求項2記載の同期型半導体記憶装置。

【請求項5】 前記列選択信号生成回路は、  
前記アドレス生成回路からの相補内部アドレス信号から列アクセス指示信号の活性化にตอบสนองして相補内部列アドレス信号を生成する列アドレス信号発生回路を含み、  
前記列アドレス信号発生回路は、前記列アクセス指示信号の非活性化にตอบสนองして前記相補内部列アドレス信号とともに同じ電圧レベルの初期状態にリセットする手段を含む、請求項1記載の同期型半導体記憶装置。

【請求項6】 前記アドレス信号発生回路は、前記列アクセス指示信号の活性化にตอบสนองして、前記クロック信号の所定数のサイクル期間にわたって、前記クロック信号に同期して所定のシーケンスで変化する相補内部列アドレス信号をそれぞれワンショットパルスの形態で生成する手段を含む、請求項5記載の同期型半導体記憶装置。

【請求項7】 前記列選択信号生成回路は、前記アドレス生成回路からの相補内部アドレス信号を受け、列アドレス活性化信号の活性化にตอบสนองして前記相補内部アドレ

ス信号をプリデコードして、プリデコード列アドレス信号を生成するプリデコード回路を含む、請求項1記載の同期型半導体記憶装置。

【請求項8】 前記列選択信号生成回路は、  
前記列アドレス信号発生回路からの相補列アドレス信号をプリデコードしてグループ特定ビットと該グループ内の列指定ビットとを含む複数ビットのプリデコード信号を生成する第1のプリデコーダと、  
前記第1のプリデコーダの出力するプリデコード信号を受け、前記列指定ビットを前記グループ特定ビットでデコードする第2のプリデコーダとを含み、  
前記第2のプリデコーダは、  
前記グループ特定ビットを受ける第1のインバータと、  
前記第1のインバータの出力ノードと電源供給ノードとの間に各々が並列に接続されかつ各々が前記列指定ビットに対応して設けられ、対応の列指定ビットを受けて前記電源供給ノードおよび前記第1のインバータの出力ノードの電圧の一方を出力する複数の第2のインバータとを含む、請求項3記載の同期型半導体記憶装置。

【請求項9】 前記列選択信号生成回路は、前記グループ指定ビットをワンショットパルス信号の形態で出力する手段を含む、請求項8記載の同期型半導体記憶装置。

【請求項10】 前記メモリアレイは、不良列を救済するための冗長列を含み、  
前記列選択信号生成回路は、  
前記アドレス生成回路からの相補内部アドレス信号をプリデコードしてワンショットパルスの形態でプリデコード信号を出力するプリデコーダと、  
前記不良列のアドレスを記憶するためのプログラム回路を含み、前記プリデコーダからのプリデコード信号を受けて前記プログラム回路に記憶した不良列アドレスと与えられたプリデコード信号の示すアドレスの一致/不一致を判定するスベア判定回路と、  
前記スベア判定回路の判定結果を示すスベア指示信号に従って、前記プリデコード信号の指定する列または前記プログラム回路の記憶するアドレスの指定する冗長列の一方を選択するための列選択信号を生成する列選択回路を備える、請求項1記載の同期型半導体記憶装置。

【請求項11】 前記スベア判定回路は、  
前記判定結果を示すスベア指示信号を不良列が指定されたことを示す活性状態へ駆動するための素子と、前記スベア指示信号を非活性状態へ駆動するための素子とを含み、前記活性状態へ駆動するための素子の電流駆動力は、前記非活性状態へ駆動するための素子の電流駆動力よりも大きくされる、請求項10記載の同期型半導体記憶装置。

【請求項12】 クロック信号と独立に外部からのコマンドを受けてデコードし、該受けたコマンドが列アクセスを指定するアクセスコマンドのとき、列アクセスモード指示信号を活性化するコマンドデコード回路、

前記クロック信号に同期して、前記コマンドデコード回路からの前記列アクセスモード指示信号を取込みかつラッチして列アドレス活性化信号を生成する第1の回路、および前記第1の回路からの列アドレス活性化信号に従って、外部からのアドレス信号から内部列アドレス信号を生成する第1のアドレス発生回路を備える、同期型半導体記憶装置。

【請求項13】 前記列アクセスモード指示信号にตอบสนองして、前記クロック信号の所定数のサイクル期間にわたって活性化される列選択活性化信号を発生する列制御回路と、

前記列選択活性化信号の活性化と前記列アクセスモード指示信号の非活性化とにตอบสนองして、カウンタアドレス活性化信号を前記クロック信号に同期して発生する第2の回路と、

前記外部からのアドレス信号を出発カウント値として前記クロック信号に同期して所定のシーケンスでカウント動作を行なうカウンタと、

前記カウンタアドレス活性化信号にตอบสนองして前記カウンタの出力カウント値を取込んで内部列アドレス信号を生成する第2のアドレス発生回路をさらに備え、前記第1および第2のアドレス発生回路は、出力段を共有する、請求項12記載の同期型半導体記憶装置。

【請求項14】 前記第1および第2の回路は、前記列アドレス活性化信号および前記カウンタアドレス活性化信号をワンショットパルスの形で出力する手段を含む、請求項13記載の同期型半導体記憶装置。

【請求項15】 前記第1のアドレス発生回路は、前記外部からのアドレス信号を前記クロック信号に同期して取込んで該外部からのアドレス信号に対応するアドレス信号を生成し、前記列アドレス活性化信号にตอบสนองして該生成したアドレス信号を前記内部列アドレス信号として出力する手段を含む、請求項12記載の同期型半導体記憶装置。

【請求項16】 前記第1および第2のアドレス発生回路の出力段は、前記内部列アドレス信号をラッチするラッチ回路を備える、請求項13記載の同期型半導体記憶装置。

【請求項17】 前記第1のアドレス発生回路は、前記列アドレス活性化信号と前記外部からのアドレス信号を受ける第1の論理ゲートを備え、

前記第2のアドレス発生回路は、前記カウンタアドレス活性化信号と前記カウンタからのカウントを受ける第2の論理ゲートを備え、

前記第1および第2のアドレス発生回路の出力段は、前記第1および第2の論理ゲートの出力信号を受けて前記内部列アドレス信号を出力する第3の論理ゲートを備える、請求項13記載の同期型半導体記憶装置。

【請求項18】 前記列アドレス活性化信号の活性化にตอบสนองして、前記カウンタアドレス活性化信号を非活性化

する手段をさらに備える、請求項13記載の同期型半導体記憶装置。

【請求項19】 外部からのアドレス信号を初期値として取込み、前記列アクセスモード指示信号の活性化にตอบสนองして所定数のサイクル期間前記クロック信号に従って所定のシーケンスでカウント動作を行なうカウンタと、前記クロック信号と独立に外部からのコマンドを受けてデコードし、該受けたコマンドが前記カウンタのカウント値の有効を指定するときカウンタアドレス有効化信号を発生するカウンタコマンドデコード回路と、

前記カウンタアドレス有効化信号を前記クロック信号に同期して取込みかつラッチしてカウンタアドレス活性化信号を発生する第2の回路と、

前記カウンタアドレス活性化信号の活性化時、前記カウンタのカウント値に従って前記内部列アドレス信号を生成する手段とをさらに含む、請求項12記載の同期型半導体記憶装置。

【請求項20】 外部から与えられるコマンドを受けてデコードし、該コマンドが列選択動作を指示するとき、クロック信号に同期して列アクセス指示信号を活性化するアクセスコマンドデコード回路、

前記コマンドがデータ読出動作を指示するとき、前記クロック信号に同期してリードトリガ信号を生成するリードコマンドデコード回路、

前記コマンドを受けてデコードし、前記コマンドがデータ書込動作を示すとき前記クロック信号に同期してライトトリガ信号を生成するライトコマンドデコード回路、前記列アクセス指示信号の活性化にตอบสนองして、列アドレス活性化信号を生成する回路、

前記列アクセス指示信号の活性化にตอบสนองして、外部からのアドレスを取込み、該取込んだアドレス信号を初期値として所定のシーケンスで前記クロック信号に同期してカウント動作を行なうカウンタ、

前記列アクセス指示信号の活性化にตอบสนองして、前記コマンドが印加されたサイクルに続く前記クロック信号の後続のサイクルにおいて前記クロック信号にตอบสนองして前記カウンタのカウント値をアドレスとして有効とするカウンタアドレス活性化信号を生成する回路、

前記列アドレス活性化信号の活性化にตอบสนองして前記クロック信号に同期して前記外部アドレス信号から内部列アドレス信号を生成し、かつ前記カウンタアドレス活性化信号の活性化時、前記カウンタのカウント値から前記内部列アドレス信号を生成する列アドレス発生回路、

活性化時前記列アドレス発生回路からの内部列アドレス信号に従ってメモリセルの列を選択するための列選択信号を生成する列選択信号発生回路、および前記リードトリガ信号および前記ライトトリガ信号の一方の活性化または前記列アドレス活性化信号および前記カウンタアドレス活性化信号の一方の活性化に従って前記列選択信号発生回路を活性化する制御回路を備え、前記制御回路

は、前記トリガ信号の組および前記アドレス活性化信号の組を択一的に有効化する手段を含む、同期型半導体記憶装置。

【請求項21】 前記制御回路は、前記クロック信号の各サイクルでその出力信号をリセットする手段を含む、請求項20記載の同期型半導体記憶装置。

【請求項22】 前記有効化手段は、マスク配線である、請求項20記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、同期型半導体記憶装置に関し、特に、列選択動作を高速で行なうための列選択系回路の構成に関する。より特定的には、この発明は、同期型半導体記憶装置における内部列アドレスに関連する回路の構成に関する。

【0002】

【従来の技術】図44は、従来の同期型半導体記憶装置の全体の構成を概略的に示す図である。図44において、従来の同期型半導体記憶装置は、行列状に配列される複数のメモリセルMCを有するメモリセルアレイ900を含む。メモリセルアレイ900においては、メモリセルの行それぞれに対応してワード線WLが配置され、メモリセルの列それぞれに対応してビット線対BLPが配置される。

【0003】同期型半導体記憶装置は、さらに、外部から与えられるクロック信号extCLKをバッファ処理して内部クロック信号CLKを生成するクロック入力バッファ902と、内部クロック信号CLKに同期して外部から与えられる制御信号、すなわち、チップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、およびライトイネーブル信号/WEの状態を判定し、該判定結果に従って動作モードを示す動作モード指示信号を生成するコマンドデコーダ904と、コマンドデコーダ904からの動作モード指示信号に従って指定された動作モードを行なうための各種制御信号を生成する制御回路906と、内部クロック信号CLKに同期して外部からのアドレス信号ADDを取込み、かつコマンドデコーダ904からの信号に従って該取込んだアドレス信号を通過させ、かつ制御回路906の制御の下に取込んだアドレス信号をラッチして内部行/列アドレス信号を発生する内部アドレス発生回路908と、内部アドレス発生回路908からの内部行アドレス信号に従って、制御回路906の制御の下に、メモリセルアレイ900のアドレス指定された行に対応するワード線を選択状態へ駆動するための行選択回路910と、制御回路906の制御の下に、内部アドレス発生回路908からの内部列アドレス信号に従って、メモリセルアレイ900のアドレス指定された列を選択するための列選択回路912を含む。

【0004】コマンドデコーダ904は、内部クロック

信号CLKの立上がり時におけるチップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEの状態を検出し、これらの検出された状態に基づいて指定された動作モードを判定する。これらの制御信号の状態の組合せは「コマンド」と呼ばれる。このコマンドデコーダ904は、したがって、コマンドをデコードして、指定された動作モードを示す動作モード指示信号を生成する。

【0005】行選択回路910は、内部アドレス発生回路908から内部行アドレス信号をデコードして、行選択信号を発生するデコード回路およびこの行選択信号に従って選択行に対応するワード線を選択状態へ駆動するワード線ドライブ回路を含む。列選択回路912は、内部アドレス発生回路908からの内部列アドレス信号をデコードする列デコード回路（プリデコーダを含んでもよい）と、メモリセルアレイ900の各列に対応して設けられ、この列デコード回路からの列選択信号に従って、対応の列を選択して内部データバスへ結合する列選択ゲートを含む。

【0006】同期型半導体記憶装置は、さらに、制御回路906の制御の下に、内部クロック信号CLKに同期して、列選択回路912を介して選択メモリセルとデータの授受を行なう読出/書込回路914と、制御回路906の下に動作し、読出/書込回路914と外部との間でデータの入出力を行なう入出力回路916を含む。

【0007】次に、この図44に示す同期型半導体記憶装置の動作について簡単に、図45に示すタイミングチャート図を参照して説明する。

【0008】まず、クロックサイクル# aにおいてアクティブコマンドACTが与えられる。このアクティブコマンドは、チップセレクト信号/CS、およびロウアドレスストロブ信号/RASをLレベルに設定し、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEをHレベルに設定することにより与えられる。アクティブコマンドACTが与えられると、コマンドデコーダ904は、このコマンドをデコードし、アレイ活性化指示信号φactを活性状態へ駆動して、制御回路906へ与える。制御回路906は、このアレイ活性化指示信号φactに従って、行選択回路910を活性化し、また内部アドレス発生回路908に、内部行アドレス信号を発生させる。

【0009】内部アドレス発生回路908は、このクロック信号CLKの立上がり時に同期して外部アドレス信号ADDを取込み、コマンドデコーダ904からのアレイ活性化指示信号φactに従ってこの取込んだ内部アドレス信号をラッチして、次いで制御回路906の制御のもとに内部行アドレス信号を発生する。次いで行選択回路910が、この内部アドレス発生回路908からの内部行アドレス信号に従ってメモリセルアレイ900のア

ドレス指定された行を選択状態へ駆動する。この行選択回路910の動作時、また制御回路906の制御の下に、選択行(選択ワード線)WLに接続される1行のメモリセルのデータが図示しないセンスアンプにより増幅されてラッチされる。

【0010】次いでクロックサイクル#dにおいて、リードコマンドRDが与えられる。このリードコマンドRDは、チップセレクト信号/CS、およびコラムアドレスストロブ信号/CASをLレベルに設定し、ロウアドレスストロブ信号/RASおよびライトイネーブル信号/WEをHレベルに設定することにより与えられる。リードコマンドが与えられるとデータ読出が指示され、コマンドデコーダ904は、制御回路906に対し、読出動作指示信号φrを与える。また、内部アドレス発生回路908が、外部からのアドレス信号ADDをクロック信号CLKに同期して取込み、この取込んだ内部アドレス信号から、コマンドデコーダ904からの読出動作指示信号に応答して内部列アドレス信号を生成し、制御回路906の制御の下に、この生成した内部アドレス信号をラッチしている。

【0011】列選択回路912が、内部アドレス発生回路908からの列アドレス信号に従って列選択動作を行ない、メモリセルアレイ900におけるアドレス指定された列を選択する。次いで、制御回路906の制御の下に、読出/書込回路914および入出力回路916を介して選択メモリセルのデータのクロック信号CLKに同期した読出が行なわれる。リードコマンドRDが与えられてから、外部に有効データが出力されるまでに必要とされる期間はCASレイテンシと呼ばれ、図45においては、CASレイテンシが2の場合のデータ読出時の波形を示す。1つのリードコマンドが与えられてから連続的に読出されるデータの数、バースト長と呼ばれる。図45においては、バースト長が2の場合のデータ読出動作を示す。したがって、リードコマンドRDが与えられてから2クロックサイクル経過後2つのクロックサイクル#fおよび#gにおいてデータQ0およびQ1が確定して、外部の装置にサンプリングされる。

【0012】クロックサイクル#hにおいてライトコマンドWRが与えられ、データ書込が指定される。このライトコマンドWRは、チップセレクト信号/CS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEをすべてLレベルに設定し、ロウアドレスストロブ信号/RASをHレベルに設定することにより与えられる。ライトコマンドWRが与えられると、コマンドデコーダ904が、書込動作指示信号φwを活性化して、制御回路906へ与える。このコマンドデコーダ904からの書込動作指示信号φwの活性化に答えて、内部アドレス発生回路908が、内部クロック信号CLKに同期して取込んだアドレスADDから内部列アドレス信号を生成し、制御回路906の制御の下にラ

ッチする。列選択回路912が再び、制御回路906の下にこの内部列アドレス信号に従って列選択動作を行ない、入出力回路916および読出/書込回路914を介して、このライトコマンドWRが与えられたクロックサイクルに同時に与えられたデータD0を取込み選択メモリセルへ書込む。図45においては、このデータ書込時においてもバースト長が2の場合の動作が一例として示され、クロックサイクル#hおよび#iにおいて与えられたデータD0およびD1が、クロック信号に同期して所定のシーケンスで選択メモリセルへ書込まれる。

【0013】バースト長のデータの読出/書込時には、内部アドレス発生回路908に含まれるバーストアドレスカウンタが動作し、内部で列アドレス信号を所定のシーケンスで発生し、このバーストアドレスカウンタからの列アドレス信号に従って列選択動作が行なわれる。

【0014】同期型半導体記憶装置においては、クロック信号CLKに同期して外部からの信号/CAS、/RAS、/CS、/WEおよびアドレス信号ADDを取込み、またクロック信号CLKに同期してデータの入出力を行なっている。したがって、これらの外部信号は、クロック信号CLKに対するスキューを考慮するだけでよく、外部信号相互間のスキューは考慮する必要がなく、内部信号を高速で生成することができ、内部動作開始タイミングを速くすることができる。また、データの入出力がクロック信号CLKに同期して行なわれるため、等価的にバースト長データは、このクロック信号CLKの周波数で入出力されるため、高速のデータの入出力が実現される。

【0015】

【発明が解決しようとする課題】図46は、従来の同期型半導体記憶装置における列選択動作のシーケンスを概略的に示す図である。アドレスバッファは、行アドレス信号および列アドレス信号に共通して設けられる。まず、内部クロック信号CLKの立上がりに対応して、このアドレスバッファが内部アドレス信号を発生する。次いで、リードコマンドまたはライトコマンド(両者を含めて以下アクセスコマンドと称す)に従って、この発生された内部アドレス信号を列アドレス信号として取込んでラッチする。次いで、この取込んだ内部列アドレス信号を有効な列アドレス信号として出力して、プリデコーダ/デコーダへ与える。このとき、有効とされた内部列アドレス信号が、不良列を指定しているか否かの判定を行なうスベア判定が行なわれる。不良列がアドレス指定されている場合には、この不良列は、冗長列で置換する必要がある。このスベア判定が完了した後に、正常列選択時には通常の列デコード動作が行なわれ、列選択線CSLが選択状態へ駆動される。

【0016】したがって、クロック信号CLKがHレベルに立上って1つのクロックサイクルが始まってから



ら、列選択線CSL上の信号が確定状態となるまでに、時間Tが必要となる。内部クロック信号CLKは、外部クロック信号extCLKに同期したクロック信号である。クロック周波数が高くなると、クロックサイクルが短くなり、メモセルのデータアクセスのためには、時間Tをできるだけ短くする必要がある。特に、最近の、100MHzまたは200MHzの高速のクロック信号に従って動作するプロセッサに対する主記憶としてこの同期型半導体記憶装置を用いるためには、内部のメモセル選択動作に要する時間をできるだけ短くして、いわゆる「コラムアクセス時間(CASアクセス時間)」をできるだけ短くする必要がある。このCASアクセス時間は、リードコマンドが与えられてから、実際にメモセルデータが外部に読出されるまでに必要とされる時間である。クロック信号CLKが立上りがってから、アドレス指定された列を選択状態へ駆動するまでに必要とされる時間Tをできるだけ短くするために、種々の回路上の改良またはレイアウト上の改良が行なわれている。しかしながら、依然この時間Tを短くする手法に対し改良の余地がある。

【0017】それゆえ、この発明の目的は、列選択に必要とされる時間を十分に短くすることのできる同期型半導体記憶装置を提供することである。

【0018】この発明の他の目的は、外部アドレス信号から、高速で、確定状態の内部列アドレス信号を生成することのできる同期型半導体記憶装置を提供することである。

【0019】この発明の他の目的は、できるだけ早いタイミングで列デコード動作を行なうことのできる同期型半導体記憶装置を提供することである。

【0020】

【課題を解決するための手段】請求項1に係る同期型半導体記憶装置は、行列状に配列される複数のメモセルを有するメモリアレイと、クロック信号に同期して、外部から与えられるアドレス信号を通過させるアドレス入力ゲートと、このアドレス入力ゲートからの出力されるアドレス信号に従って相補内部アドレス信号を生成するアドレス生成回路と、アドレス生成回路からの相補内部アドレス信号に従ってメモセルアレイの列を指定する列選択信号を生成する列選択信号生成回路を備える。

【0021】請求項2に係る同期型半導体記憶装置は、請求項1のアドレス生成回路が、アドレス入力ゲートの出力するアドレス信号をラッチしかつ相補アドレス信号を生成する第1のラッチ回路と、この第1のラッチ回路のラッチする相補アドレス信号をクロック信号にตอบสนองしてアドレス入力ゲートと相補的に導通して通過させて相補内部アドレス信号を生成するゲート回路を備える。

【0022】請求項3に係る同期型半導体記憶装置は、請求項1の装置が、さらに、外部からのコマンドを受け、該受けたコマンドが列選択を指示するアクセスコマ

ンドのとき、列アドレス活性化信号を生成する制御回路をさらに備える。

【0023】請求項3に係る同期型半導体記憶装置は、さらに、列選択信号生成回路が、アドレス生成回路からの相補内部アドレス信号と列アドレス活性化信号とに従って相補内部列アドレス信号を生成する列アドレス信号発生回路を含む。

【0024】請求項4に係る同期型半導体記憶装置は、請求項2のアドレス生成回路が、さらに、ゲート回路の出力する相補内部列アドレス信号をラッチする第2のラッチ回路を備える。

【0025】請求項5に係る同期型半導体記憶装置は、請求項1の列選択信号生成回路が、アドレス生成回路からの相補内部アドレス信号から列アクセス指示信号の活性化にตอบสนองして相補内部列アドレス信号を生成する列アドレス信号発生回路を含む。この列アドレス信号発生回路は、列アクセス指示信号の非活性化にตอบสนองして相補内部列アドレス信号とともに同じ電圧レベルの初期状態にリセットする手段を含む。

【0026】請求項6に係る同期型半導体記憶装置は、請求項5のアドレス信号発生回路が、列アクセス指示信号にตอบสนองして、クロック信号の所定数のクロックサイクル期間にわたってクロック信号に同期して所定のシーケンスで相補内部列アドレス信号をワンショットパルスの形態で生成する手段を含む。

【0027】請求項7に係る同期型半導体記憶装置は、請求項1の列選択信号生成回路が、アドレス生成回路からの相補内部アドレス信号を受け、列アドレス活性化信号の活性化にตอบสนองして、相補内部アドレス信号をデコードして、プリデコード列アドレス信号を生成するプリデコード回路を含む。

【0028】請求項8に係る同期型半導体記憶装置は、請求項3の列選択信号生成回路が、列アドレス信号発生回路からの相補内部列アドレス信号をプリデコードして複数ビットのプリデコード信号を生成する第1のプリデコードを含む。これら複数のビットは、グループ特定ビットと、グループ内の列指定ビットとを含む。

【0029】この請求項8に係る列選択信号生成回路は、第1のプリデコードの出力する複数ビットのプリデコード信号を受け、列指定ビットをグループ特定ビットに従ってデコードする第2のプリデコードを含む。第2のプリデコードは、グループ特定ビットを受ける第1のインバータと、この第1のインバータの出力ノードと電源供給ノードとの間に各々が並列に接続されかつそれぞれ列指定ビット各々に対応して設けられ、対応の列指定ビットに従って電源供給ノードおよび第1のインバータの出力ノードの電圧の一方を出力する複数の第2のインバータを含む。

【0030】請求項9に係る同期型半導体記憶装置は、請求項8の列選択信号生成回路が、さらに、グループ指



定ビットをワンショットパルス化して出力する手段を含む。

【0031】請求項10に係る同期型半導体記憶装置は、請求項1のメモリアレイが、不良列を救済するための冗長列を含み、列選択信号生成回路は、アドレス生成回路からの相補アドレス信号をプリデコードしてワンショットパルスの形態でプリデコード信号を出力するプリデコーダと、不良列のアドレスを記憶するためのプログラム回路を含み、プリデコーダからのプリデコード信号を受けてこのプログラム回路に記憶した不良列アドレスと与えられたプリデコード信号の示すアドレスの一致／不一致を判定するスベア判定回路と、このスベア判定回路の判定結果を示すスベア指示信号に従って、プリデコード信号の指定する列またはプログラム回路の記憶アドレスの指定する冗長列の一方を選択するための列選択信号を生成する列選択回路を備える。

【0032】請求項11に係る同期型半導体記憶装置は、請求項10のスベア判定回路が、その判定結果を示すスベア指示信号を不良列指定を示す活性状態へ駆動するための素子と、非活性状態へ駆動するための素子とを含む。活性状態へ駆動するための素子の電流駆動力は、非活性状態へ駆動するための素子のそれよりも大きくされる。

【0033】請求項12に係る同期型半導体記憶装置は、外部からのコマンドをクロック信号と独立に受けてデコードし、このコマンドが列選択（列アクセス）を指定するアクセスコマンドのとき、列アクセスモード指示信号を活性化するアクセスコマンドデコード回路と、クロック信号に同期して、アクセスコマンドデコード回路からの列アクセスモード指示信号を取込みかつラッチして列アドレス活性化信号を生成する第1の回路と、この第1の回路からの列アドレス活性化信号に従って、外部からのアドレス信号から内部列アドレス信号を生成する第1のアドレス発生回路を備える。

【0034】請求項13に係る同期型半導体記憶装置は、請求項12の同期型半導体記憶装置が、列アクセスモード指示信号にตอบสนองして、クロック信号の所定数のサイクル期間にわたって活性化される列選択活性化信号を発生する列制御回路と、列選択活性化信号の活性化と列アクセスモード指示信号の非活性化とにตอบสนองしてカウンタアドレス活性化信号をクロック信号に同期して発生する第2の回路と、外部からのアドレス信号を出発カウンタ値としてクロック信号に同期して所定のシーケンスでカウンタ動作を行なうカウンタと、カウンタアドレス活性化信号にตอบสนองしてカウンタの出力カウンタ値を取込んで内部列アドレス信号を生成する第2のアドレス発生回路を含む。第1および第2のアドレス発生回路は、その出力段を共有する。

【0035】請求項14に係る同期型半導体記憶装置は、請求項13の第1および第2の回路が、列アドレス

活性化信号およびカウンタアドレス活性化信号をワンショットパルスの形で出力する手段を含む。

【0036】請求項15に係る同期型半導体記憶装置は、請求項12の第1のアドレス発生回路が、外部からのアドレス信号をクロック信号に同期して取込み、外部からのアドレス信号に対応するアドレス信号を生成し、該生成したアドレス信号を列アドレス活性化信号にตอบสนองして内部列アドレス信号として出力する手段を含む。

【0037】請求項16に係る同期型半導体記憶装置は、請求項13の第1および第2のアドレス発生回路の出力段が、与えられたアドレス信号をラッチするラッチ回路を備える。

【0038】請求項17に係る同期型半導体記憶装置は、請求項13の第1のアドレス発生回路が、列アドレス活性化信号と外部からのアドレス信号を受ける第1の論理ゲートを備え、第2のアドレス発生回路が、カウンタアドレス活性化信号とカウンタからのカウンタ値を受ける第2の論理ゲートを備え、第1および第2のアドレス発生回路の出力段は、これら第1および第2の論理ゲートの出力信号を受けて内部列アドレス信号を出力する第3の論理ゲートを備える。

【0039】請求項18に係る同期型半導体記憶装置は、請求項13の装置が、さらに、列アドレス活性化信号の活性化にตอบสนองして、カウンタアドレス活性化信号を非活性化する手段を備える。

【0040】請求項19に係る同期型半導体記憶装置は、外部からのアドレス信号を初期値として取込み、列アクセスモード指示信号の活性化にตอบสนองして、所定数のクロック信号のサイクル期間にわたってこのクロック信号に同期して所定のシーケンスでカウンタ動作するカウンタと、外部からのコマンドをクロック信号と独立に受けてデコードし、このコマンドがカウンタのカウンタ値の有効を指定するときカウンタアドレス有効化信号を発生するカウンタコマンドデコード回路と、カウンタアドレス有効化信号を受けクロック信号に同期して取込みかつラッチしてカウンタアドレス活性化信号を発生する第2の回路と、カウンタアドレス活性化信号の活性化時、カウンタのカウンタ値に従って内部列アドレス信号を生成する手段をさらに含む。

【0041】請求項20に係る同期型半導体記憶装置は、外部からのコマンドを受けてデコードし、このコマンドが列選択を示すアクセスコマンドのときクロック信号に同期して列アクセス指示信号を生成するアクセスコマンドデコード回路と、この受けたコマンドがデータ読出動作を示すときクロック信号に同期してリードトリガ信号を生成するリードコマンドデコード回路と、この受けたコマンドがデータ書込を示すとき、クロック信号に同期してライトトリガ信号を生成するライトコマンドデコード回路と、列アクセス指示信号にตอบสนองして列アドレス活性化信号を生成する回路と、列アクセス指示信号の

活性化にตอบสนองして、外部からのアドレス信号を取込み該取込んだ外部アドレス信号を初期値として所定のシーケンスでクロック信号に同期してカウント動作を行なうカウンタと、列アクセス指示信号の活性化時、クロック信号のアクセスコマンドが与えられたサイクルに続く後続のサイクルにおいてクロック信号にตอบสนองしてカウンタのアドレスを有効とするカウンタアドレス活性化信号を生成する回路と、列アドレス活性化信号の活性化にตอบสนองしてクロック信号に同期して外部アドレス信号から内部列アドレス信号を生成するとともに、カウンタアドレス活性化信号の活性化時、カウンタのカウント値から内部列アドレス信号を生成する列アドレス発生回路と、活性化時、列アドレス発生回路からの内部列アドレス信号に従ってメモリセルの列を選択するための列選択信号を生成する列選択信号発生回路と、リードトリガ信号およびライトトリガ信号の一方の活性化または列アドレス活性化信号およびカウンタアドレス活性化信号の一方の活性化に従って列選択信号発生回路を活性化する制御回路を備える。この制御回路は、トリガ信号の組およびアドレス活性化信号の組を択一的に有効化する手段を含む。

【0042】請求項21に係る同期型半導体記憶装置は、請求項20の制御回路が、クロック信号の各サイクルにおいてその出力信号をリセットする手段を含む。

【0043】請求項22に係る同期型半導体記憶装置は、請求項20の有効化手段が、マスク配線で構成される。

【0044】クロック信号に同期して相補アドレス信号を生成することにより、列アドレス入力部の回路構成が簡略化され、高速でアドレス信号を伝達して内部アドレス信号を生成することができる。

【0045】また、クロック信号に従って、相補内部アドレス信号を生成することにより、コマンドのデコード結果に従って相補列アドレス信号を生成する論理ゲートが不要となり、高速で相補内部列アドレス信号を生成することができる。

【0046】また、各クロックサイクルにおいて列アドレス信号をリセットすることにより、各クロックサイクルにおいて列アドレス信号を前のサイクルのアドレス信号の影響を受けることなく変化させることができ、早いタイミングで列アドレス信号を確定状態に設定することができ、高速アクセスが実現される。

【0047】また、クロック信号と独立にコマンドをデコードすることにより、クロック信号の立上がりや早いタイミングでコマンドのデコードを開始することができ、早いタイミングで動作モード指示信号を確定状態へ駆動することができ、応じて内部列アドレス信号の確定タイミングを早くすることができる。

【0048】また、内部列アドレス信号を、列アドレス活性化信号に従ってプリデコードすることにより、内部列アドレス信号を生成してからプリデコードする構成に

比べて、内部列アドレス信号の生成およびプリデコードを1段の論理ゲートで行なうことができ、高速でプリデコード信号を生成することができる。

【0049】また、スベア判定時においても、その与えられるアドレス信号が早いタイミングで確定状態となり、高速でスベア判定を行なうことができ、列デコード動作開始タイミングを早くすることができる。

【0050】また、この判定回路の判定動作を高速化するように構成しており、高速で判定動作を行なえる。

【0051】また、プリデコーダを、グループ特定ビットを受けるインバータの出力を、列特定アドレスビットをデコードする回路の一方動作電源電圧として利用することにより、このグループ特定ビットのインバータの出力負荷が軽減され、高速でプリデコード動作を行なうことができる。

【0052】また、コラムデコーダを活性化するための信号を、リードトリガ信号およびライトトリガ信号の組またはコラムアドレス活性化信号およびカウンタアドレス活性化信号の組の一方を用いて活性化するように構成しているため、用いられるクロック信号の周波数に従って最適タイミングで列デコード動作を行なうことができ、高速で列選択信号を確定状態へ駆動することができる。

【0053】

【発明の実施の形態】[全体の構成] 図1は、この発明に従う同期型半導体記憶装置の列選択に関連する部分の構成を概略的に示す図である。図1において、この発明に従う同期型半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリアレイ1を含む。このメモリアレイ1は、行列状に配列されるノーマルメモリセルNMCを有するノーマルメモリアレイ1nと、ノーマルメモリアレイ1nにおける不良列を救済するためのスベアメモリセルSMCが行列状に配列されるスベアメモリアレイ1sを含む。ノーマルメモリアレイ1nおよびスベアメモリアレイ1sは、それぞれ別々に設けられるように示すが、このスベアメモリアレイ1sにおけるスベアメモリセルSMCは、ノーマルメモリアレイ1n内において分散して配置されてもよい。すなわち、ノーマルメモリアレイ1nが複数の列ブロックに分割され、各列ブロックにおいてスベアメモリセルの列が配置される構成が用いられてもよい。

【0054】同期型半導体記憶装置は、さらに、外部からのクロック信号extCLKを受けてこの外部クロック信号に同期した内部クロック信号CLKを発生する内部クロック発生回路2と、内部クロック信号CLKと独立に、外部からの制御信号/CS、/RAS、/CASおよび/WEを受けてデコードし、コマンドにより指定された動作モードを指示する動作モード指示信号φopを生成するコマンドデコーダ3と、コマンドデコーダ3からの動作モード指示信号に従って内部クロック発生回

路2からの内部クロック信号CLKに同期して各種の動作モード活性化信号を発生する制御回路4を含む。コマンドデコーダ3が、内部クロック信号CLKと独立に、外部からのコマンド（外部からの制御信号/CS、/RAS、/CASおよび/WE）を内部クロック信号CLKと独立に受けてデコードすることにより、内部クロック信号CLKの立上がりよりも早いタイミングでコマンドのデコード動作を行なうことができ、内部動作モード指示信号φopを早いタイミングで確定状態へ駆動することができ、内部動作開始タイミングを早くすることができる。

【0055】内部クロック発生回路2は、バッファ、PLL（位同期ループ）およびDLL（ディレイド・ロック・ループ）のいずれで構成されてもよい。

【0056】制御回路4は、コマンドデコーダ3からの動作モード指示信号に従って各種制御信号を生成するが、図1においては、制御回路4からは、コラムアドレス活性化信号CADE、カウンタアドレス活性化信号（シリアルアドレス活性化信号）SADEおよびコラムデコーダ活性化信号CDEを代表的に示す。

【0057】この同期型半導体記憶装置は、さらに、内部クロック信号CLKに従って外部アドレス信号ADDから相補内部アドレス信号を生成し、かつコラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEに従って相補内部列アドレス信号CAおよび/CAを発生する内部列アドレス信号発生回路5と、この内部列アドレス信号発生回路5からの内部列アドレス信号CAおよび/CAをプリデコードするコラムプリデコーダ6と、コラムプリデコーダ6からのプリデコード信号Y、/Yを受けて、不良列が指定されたか否かを判定するスベア判定回路7と、このスベア判定回路7からのノーマルコラムデコーダディスエーブル信号/NCDと制御回路4からのコラムデコーダ活性化信号CDEに従って選択的に活性化され、コラムプリデコーダ6からのプリデコード信号をデコードして、ノーマルメモリアレイ1nのメモリセル列を選択するコラムデコーダ8と、スベア判定回路7からのノーマルコラムデコーダディスエーブル信号/NCDおよびコラムデコーダ活性化信号CDEに従って選択的に活性化され、スベアメモリアレイ1sにおける不良列と置換すべき冗長列を選択するスベアコラムデコーダ9を含む。

【0058】スベア判定回路7は、内部に不良列の列アドレスを記憶するプログラム回路を含み、コラムプリデコーダ6からのプリデコード信号と記憶した不良列アドレスとを比較し、その比較結果に従ってスベアコラムデコーダ9およびコラムデコーダ8の一方を活性化する。コラムデコーダ8は、活性化時、与えられたプリデコード信号に従ってノーマルメモリアレイの列選択線CSLを選択し、スベアコラムデコーダ9は、スベアメモリアレイ1sにおけるスベアコラム選択線SCSLを選択す

る。このスベアコラムデコーダ9またはコラムデコーダ8より選択されたメモリセル列上の選択メモリセルのデータは、図示しない列選択ゲートおよびIOバスを介して書込/読出回路に結合されてデータの書込/読出が行なわれる。

【0059】この内部列アドレス信号発生回路5において、外部アドレス信号から、相補列アドレス信号CAおよび/CAを内部クロック信号CLKにより生成することにより、早いタイミングで内部列アドレス信号を確定することができる（この構成については後に詳細に説明する）。

【0060】コラムプリデコーダ6は、また、コラムアドレス活性化信号の活性化時、内部列アドレス信号発生回路5からの内部アドレス信号Ain、/Ainをプリデコードするように構成されてもよい（これについては後に説明する）。

【0061】本発明は、この図1示す構成において、内部列アドレス信号発生回路5からコラムデコーダ8およびスベアコラムデコーダ9までの信号の伝搬時間を最小とすることにより、列選択動作を高速化する。

【0062】内部列アドレス信号発生回路5においては、外部から与えられるアドレス信号を先頭アドレスとしてクロックサイクルごとにカウント動作を行なって内部列アドレス信号を発生するバーストアドレスカウンタが設けられている。このバーストアドレスカウンタからのアドレス信号に対する活性化信号SADEと外部から与えられるアドレス信号を活性化するコラムアドレス活性化信号CADEをそれぞれ別々に発生することにより、内部列アドレス信号を、外部からのアドレス信号に従って早いタイミングで活性状態へ駆動することができる。また各クロックサイクルにおいて、バーストアドレスに従って内部列アドレス信号を、先頭内部列アドレス信号と同じタイミングで活性状態へ駆動することができ、各クロックサイクルにおいて、先頭アドレス（外部アドレスに従う内部列アドレス）とバーストアドレスとの確定タイミングのずれを考慮する必要がなく、各クロックサイクルにおいて列選択動作を高速化することができる。

【0063】また、コラムプリデコーダ6が、内部列アドレス信号発生回路5からの内部アドレス信号を直接受けてプリデコードすることにより、プリデコード信号をより早いタイミングで確定状態へ駆動することができる。

【0064】また、スベア判定回路7においても、その判定動作を高速化するように構成し、各クロックサイクルにおける列選択動作を高速化する。以下、各回路部分の構成について詳細に説明する。

【0065】〔実施の形態1〕

アドレス活性化信号の発生：図2は、図1に示すコマンドデコーダ3および制御回路4の構成を示す図である。

図2において、コマンドデコーダ3は、外部からのコマンド、すなわちチップセレクト信号/CS、ロウアドレスストローブ信号/RAS、およびコラムアドレスストローブ信号/CASを受けるアクセスコマンドデコード回路3aを含む。チップセレクト信号/CSおよびコラムアドレスストローブ信号/CASがLレベルであり、かつロウアドレスストローブ信号/RASがHレベルのときには、ライトイネーブル信号/WEの状態に従ってデータ読出またはデータ書込が指定される。このデータ書込およびデータ読出時においては列選択動作が行なわれる。したがって、この信号/CS、/RASおよび/CASにより、メモセルへのデータアクセスまたは列選択が行なわれるか否かを判定できる。このリードコマンドおよびライトコマンド両者を含めてアクセスコマンドと称す。アクセスコマンドデコード回路3aは、与えられたコマンドがアクセスコマンドのとき、列選択動作指示信号φrwを活性状態のHレベルへ駆動する。

【0066】制御回路4は、コマンドデコーダ3からの列選択動作指示信号φrwを内部クロック信号CLKの立上がり同期して取込み、所定期間（バースト長期間）Lレベルの活性状態に保持される列選択動作活性化信号/COLACTを出力する列選択活性化回路11を含む。この列選択動作活性化信号/COLACTに従って、列選択に関連する回路部分が活性化される。

【0067】この制御回路4は、さらに、内部クロック信号CLKの立上がり同期して非導通となり列選択動作活性化信号を取込むCMOSトランスミッションゲート12と、CMOSトランスミッションゲート12から与えられた信号を反転しかつラッチするインバータラッチ13と、内部クロック信号CLKの立上がり同期して動作可能状態とされ、インバータラッチ13に保持された信号を反転してコラムアドレス活性化信号CADEを出力するトライステートインバータバッファ14と、トライステートインバータバッファ14の出力するコラムアドレス活性化信号CADEを保持するインバータラッチ15を含む。

【0068】インバータラッチ13は、入力と出力が交差結合されたインバータで構成され、インバータラッチ15は、トライステートインバータバッファ14の出力ノードに対しループ状に接続されるインバータを含む。インバータラッチ13は、CMOSトランスミッションゲート12からの信号を伝達しかつ比較的大きなラッチ能力でラッチする。インバータラッチ15は、いわゆる「ハーフラッチ」の構成であり、そのラッチ能力は弱くされており、リセットトランジスタ16によるコラムアドレス活性化信号CADEのリセットを容易にする。

【0069】制御回路4は、さらに、アクセスコマンドデコード回路3aからの列選択動作指示信号φrwと列選択活性化回路11からの列選択動作活性化信号/COLACTを受けるNAND回路17と、内部クロック信

号CLKがLレベルのときに導通してNAND回路17の出力信号を通過させるCMOSトランスミッションゲート18と、CMOSトランスミッションゲート18の出力信号をラッチしかつ反転するインバータラッチ19と、内部クロック信号CLKがHレベルのときに動作可能状態に設定され、インバータラッチ19からの信号を反転してカウンタアドレス活性化信号SADEを出力するトライステートインバータバッファ20と、このトライステートインバータバッファ20からのカウンタアドレス活性化信号SADEをラッチするインバータラッチ21と、リセット信号RSTにตอบสนองしてカウンタアドレス活性化信号SADEをLレベルにリセットするリセット用トランジスタ22を含む。

【0070】インバータラッチ19および21は、それぞれインバータラッチ13および15と同様の構成を備える。NAND回路17は、アクセスコマンドが与えられて列選択動作指示信号φrwが活性状態へ駆動されるクロックサイクルにおいては、Lレベルの信号を出力する。したがって、アクセスコマンドが与えられたサイクルにおいては、カウンタアドレス活性化信号SADEは非活性状態を維持する。次のクロックサイクルから、列選択動作活性化信号/COLACTがLレベルの活性状態にある間、カウンタアドレス活性化信号SADEは、各クロックサイクルにおいてHレベルに駆動され、次いでLレベルにリセットされる。このとき、コラムアドレス活性化信号CADEは、Lレベルに保持される。2つのアドレス活性化信号CADEおよびSADEを生成する。リセット信号RSTは、バースト長期間各クロックサイクルにおいて活性化される。

【0071】図3は、図1に示す内部列アドレス信号発生回路5の要部の構成を概略的に示す図である。図3において、この内部列アドレス信号発生回路5は、内部アドレス信号Ainを列選択動作活性化信号/COLACTの活性化にตอบสนองして取込み内部クロック信号CLKの立下がり同期してカウント動作を行なうカウンタ25と、コラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEに従って内部アドレス信号Ainおよびカウンタ25の出力カウンタの一方を選択して内部列アドレス信号CAを出力する選択回路26を含む。この選択回路26は、コラムアドレス活性化信号CADEが活性状態のときには、内部アドレス信号Ainを選択し、一方、カウンタアドレス活性化信号SADEが活性状態のときには、カウンタ25の出力カウンタを選択する。内部アドレス信号の発生タイミングについては後に詳細に説明する。

【0072】次に、この図2および図3に示す回路の動作を、図4に示すタイミングチャート図を参照して説明する。

【0073】クロックサイクル# aにおいてアクセスコマンドが与えられる。このアクセスコマンドにおいて

は、内部クロック信号CLKの立上がりエッジにおいて、チップセレクト信号/CSおよびコラムアドレスストローブ信号/CASをLレベルに設定し、ロウアドレスストローブ信号/RASをHレベルに設定する。コマンドは、内部クロック信号（外部クロック信号）に対し、セットアップ時間を有している。したがって、内部クロック信号CLKの立上がりエッジよりも早いタイミングで、チップセレクト信号/CSおよびコラムアドレスストローブ信号/CASがLレベルに設定される。

【0074】この条件下では、図2に示すアクセスコマンドデコード回路3aからは、内部クロック信号CLKと独立に、アクセスコマンドが与えられた時点で、列選択動作指示信号φrwが活性状態へ駆動される。CMOSトランスミッションゲート12は、内部クロック信号CLKがLレベルのときに導通状態にあり、列選択動作指示信号φrwを通過させてインバータラッチ13へ与える。したがって、内部クロック信号CLKがHレベルに立上がり、CMOSトランスミッションゲート12が非導通状態となった時点において、既にインバータラッチ13においては、活性状態の列選択動作指示信号φrwがラッチされている。また内部クロック信号CLKがHレベルに立上がると、トライステートインバータバッファ14が動作して、インバータラッチ13によりラッチされた信号を反転して出力する。したがって、内部クロック信号CLKが立上がると、早いタイミングでコラムアドレス活性化信号CADEがHレベルへ駆動される。

【0075】一方、クロックサイクル# aの前のサイクルにおいて、CMOSトランスミッションゲート18が導通状態のとき（内部クロック信号CLKがLレベルのとき）、列選択動作指示信号φrwがHレベルであり、NOR回路17の出力信号がLレベルである。したがって、内部クロック信号CLKがHレベルに立上がり、CMOSトランスミッションゲート18が非導通状態となった場合には、インバータラッチ19が、Hレベルの信号をラッチしてトライステートインバータバッファ20へ与えている。したがって、内部クロック信号CLKが立上がっても、カウンタアドレス活性化信号SADEはLレベルを維持する。

【0076】したがって、クロックサイクル# aにおいては、選択回路26が、内部アドレス信号A<sub>in</sub>を選択して内部列アドレス信号CAを生成する。

【0077】列選択活性化回路11は、内部クロック信号CLKの立上がりに同期して、この列選択動作指示信号φrwを取込み、所定期間、列選択動作活性化信号/COLACTをLレベルに保持する。したがって、クロックサイクル# aから、所定期間（バースト長期間）列選択動作活性化信号/COLACTがLレベルに保持される（図4においては、バースト長が4の場合の動作を示す）。所定時間が経過すると、リセット信号RSTに

よりコラムアドレス活性化信号CADEはLレベルにリセットされる。

【0078】クロックサイクル# bにおいて、チップセレクト信号/CSをHレベルに保持することにより、与えられるコマンドはNOP（ノーオペレーション）コマンドとして処理される。この状態においては、CMOSトランスミッションゲート12が導通したときに、列選択動作指示信号φrwがLレベルであり、コラムアドレス活性化信号CADEが、Lレベルを維持する。

【0079】一方、NOR回路18は、信号φrwおよび/COLACTがともにLレベルであり、Hレベルの信号を出力する。したがって、クロックサイクル# bにおいて、内部クロック信号CLKがHレベルに立上がったときには、既にCMOSトランスミッションゲート18を介してトライステートインバータバッファ20にまで、Lレベルの信号が伝達されている。内部クロック信号CLKがHレベルに立上がると、トライステートインバータバッファ20が動作して、このインバータラッチ19のラッチする信号に従って、カウンタアドレス活性化信号SADEをHレベルへ駆動する。したがって、クロックサイクル# bにおいては、選択回路26は、カウンタ25からのカウント値を選択して内部列アドレス信号CAを生成する。

【0080】カウンタ25は、列選択動作活性化信号/COLACTの立上がりに同期して、または列選択動作指示信号φrwの活性化にตอบสนองして内部アドレス信号A<sub>in</sub>を初期値として取込み、内部クロック信号CLKの立下がりに同期して、列選択動作活性化信号/COLACTが活性状態の間カウント動作を実行する。したがって、バースト長期間、カウンタ25からのカウント値が、所定のシーケンスで変化する。後続のクロックサイクル# cおよび# dにおいて、カウンタアドレス活性化信号SADEの活性化に従って、選択回路26がカウンタ25のカウント値を選択して列アドレス信号CAを生成する。

【0081】バースト長期間が経過すると、列選択活性化回路11からの列選択動作活性化信号/COLACTがHレベルに立上がる。したがって、NOR回路17の出力信号がLレベルとなり、以降、内部クロック信号CLKが立上がっても、カウンタアドレス活性化信号SADEはLレベルを維持する。

【0082】図2に示すように、内部クロック信号CLKと独立に、コマンドを受けてデコードして内部動作指示信号を生成し、その後内部クロック信号の立上がりに同期してラッチして内部動作指示信号または内部動作活性化信号を生成することにより、内部クロック信号CLKの立上がりに同期してデコード動作を開始する構成に比べて早いタイミングでコラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEを活性状態へ駆動することができ、応じて、内部アドレス信号



CAを早いタイミングで確定状態へ駆動することができる。

【0083】また、内部アドレス信号Ainを選択するためのコラムアドレス活性化信号CADEおよびカウンタ25からのアドレス信号を選択するためのカウンタアドレス活性化信号SADEを別々に生成することにより、内部アドレス信号Ainをカウンタへセットし、このカウンタを通して列アドレス信号CAを生成する構成に比べて、列アドレス信号の確定タイミングを早くすることができる。

【0084】図5は、図2に示す列選択活性化回路11の構成の一例を概略的に示す図である。図5において、列選択活性化回路11は、アクセスコマンドデコード回路3aからの列選択動作指示信号φrwを、内部クロック信号CLKがLレベルのときに通過させるCMOSトランスマッションゲート11aと、CMOSトランスマッションゲート11aの出力信号の立上がりに対応してセットされるセット/リセットフリップフロップ11bと、CMOSトランスマッションゲート11aの出力信号の立上がりに対応して起動され、内部クロック信号CLKの立下がりを経由して、カウント値が所定値に到達するとカウントアップ信号を出力してセット/リセットフリップフロップ11bをリセットするバースト長カウンタ11cを含む。セット/リセットフリップフロップ11bの出力/Qから、列選択動作活性化信号/COLACTが出力される。バースト長カウンタ11cは、内部クロック信号CLKの立上がりに対応して与えられた信号を取込み、内部クロック信号CLKの立下がりに対応して取込んだ信号を出力するシフトレジスタで構成される。このシフトレジスタを、バースト長と同じ段数分接続することにより、バースト長カウンタ11cが構成される。

【0085】図3に示すカウンタ25は、プリセット可能なカウンタで構成される。図6は、図3に示す選択回路26の構成の一例を示す図である。図6において、選択回路26は、コラムアドレス活性化信号CADEの活性化時導通し、内部アドレス信号Ainを通過させるCMOSトランスマッションゲート26aと、カウンタアドレス活性化信号SADEの活性化時導通し、カウンタ25からのカウント値SADDを通過させるCMOSトランスマッションゲート26bと、CMOSトランスマッションゲート26aおよび26bから選択された信号をラッチするラッチ回路26cを含む。この図6に示す構成において、CMOSトランスマッションゲート26aおよび26bを、共通にノードNDに接続し、このノードNDから内部列アドレス信号CAを生成することにより、簡易な回路構成で、内部アドレス信号Ainおよびカウンタ25からのカウント値SADDを選択して、内部列アドレス信号CAを生成することができる。内部列アドレス信号CAは、リセット信号RSTに対応して

導通するリセット用のチャネルMOSトランジスタより、Lレベルにリセットされる。内部列アドレス信号CAをワンショットパルス化することにより、後に説明するように列選択動作を高速化する。

【0086】図7は、図3に示す選択回路26の他の構成を示す図である。図7において、選択回路26は、コラムアドレス活性化信号CADEと内部アドレス信号Ainを受けるNAND回路26dと、カウンタアドレス活性化信号SADEとカウンタ25の出力カウントSADDを受けるNAND回路26eと、NAND回路26dおよび26eの出力信号を受けて内部列アドレス信号CAを生成するNAND回路26fを含む。内部アドレス信号Ainおよびカウンタ25の出力カウントSADDは、ともに複数ビットで構成され、これらのNAND回路26d、26eおよび26fは、各ビットそれぞれに対応して設けられる。

【0087】コラムアドレス活性化信号CADEの活性化時、カウンタアドレス活性化信号SADEはLレベルの非活性状態である。したがって、NAND回路26dがインバータとして動作し、一方、NAND回路26eは、カウンタ25の出力カウント値にかかわらず、Hレベルの信号を出力する。応じて、NAND回路26fがインバータとして動作し、NAND回路26dの出力信号を反転する。したがって、コラムアドレス活性化信号CADEの活性化時、内部アドレス信号Ainに従って内部列アドレス信号CAが生成される。

【0088】逆に、コラムアドレス活性化信号CADEがLレベルであり、カウンタアドレス活性化信号SADEがHレベルの活性状態のときには、NAND回路26dの出力信号がHレベルに固定され、NAND回路26eおよび26fがインバータとして動作し、カウンタ25からのカウントSADDに従って内部列アドレス信号CAが生成される。

【0089】この図7に示す構成の場合、活性化信号CADEおよびSADEがLレベルのときには、NAND回路26fの出力信号、すなわち内部列アドレス信号CAがLレベルとなり、各クロックサイクルにおいて内部列アドレス信号をスタンバイ状態にリセットすることができ、余分のリセット回路を設ける必要がない。

【0090】図8(A)は、図2に示すリセット信号RSTを発生する部分の構成の一例を示す図である。図8(A)においてリセット信号発生部は、列選択動作活性化信号/COLACTと内部クロック信号CLKを受けるNOR回路27aと、NOR回路27aの出力信号の立上がりに対応してワンショットのパルス信号を発生するワンショットパルス発生回路27bを含む。このワンショットパルス発生回路27bからのワンショットパルス信号がリセット信号RSTとして用いられる。次に、この図8(A)に示すリセット信号発生部の動作を図8(B)に示すタイミングチャート図を参照して説明す

る。

【0091】列選択動作活性化信号／COLACTがHレベルのときには、NOR回路27aの出力信号はLレベルに固定されており、ワンショットパルス発生回路27bからのリセット信号RSTは、Lレベルに保持される。列選択動作活性化信号／COLACTがLレベルの活性状態へ駆動されると、内部クロック信号CLKの立下がりに応答して、NOR回路27aの出力信号がHレベルに立上がる。ワンショットパルス発生回路27bが、このNOR回路27aからの出力信号の立上がりに対応してワンショットのパルス信号を発生して、リセット信号RSTを活性化する。これにより、図2に示すリセット用トランジスタ16および22および図6に破線で示すリセット用トランジスタが導通し、アドレス活性化信号CADEおよびSADEならびに図6に示す列アドレス信号CAが、初期状態のLレベルにリセットされる。列選択動作活性化信号／COLACTがLレベルの活性状態にある間、内部クロック信号CLKの立下がりに応答して、リセット信号RSTが活性化される。これにより、各クロックサイクルにおいて、アドレス活性化信号CADEおよびSADEおよび列アドレスCAをLレベルにリセットすることができ、内部アドレス信号A<sub>i</sub>nまたはカウンタ25からのカウントSADDの変化時における不安定な内部アドレス信号に従って内部列アドレス信号が生成されるのを防止することができ、安定に内部列アドレス信号を生成することができる。

【0092】〔変更例〕図9は、この発明の実施の形態1の変更例の構成を示す図である。図9に示す構成においては、外部からのアドレス信号に従って内部列アドレス信号を生成するコマンドと、カウンタからのカウント値を列アドレス信号として利用するコマンドを別々に設ける。したがって、コマンドデコード3においては、データの書込／読出を行なうアクセス動作を指示する信号を生成するアクセスコマンドデコード回路3aと、カウンタのカウント（カウンタアドレス）を列アドレスとして利用することを指示する信号φsaを出力するカウンタアドレスアクセスコマンドデコード回路3bが設けられる。通常のアクセスコマンドをデコードするアクセスコマンドデコード回路3aおよびこのアクセスコマンドデコード回路3aからの列選択動作指示信号φrwに従ってコラムアドレス活性化信号CADEを生成する回路部分は、図2に示す回路部分と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0093】カウンタアドレスアクセスコマンドデコード回路3bは、チップセレクト信号／CS、コラムアドレスストローブ信号／CASおよびライトイネーブル信号／WEを受ける複合ゲート3baと、3baの出力信号とロウアドレスストローブ信号／RASを受けるAND回路3bbを含む。複合ゲート3baは、コラムアドレスストローブ信号／CASとライトイネーブル信号／

WEを受けるAND回路と、このAND回路の出力信号とチップセレクト信号／CSの出力信号を受けるゲート回路を含む構成と等価である。このゲート回路は、チップセレクト信号／CSがLレベルでありかつAND回路の出力信号がHレベルのときに、その出力信号をHレベルとする。したがって、この複合ゲート3baは、チップセレクト信号／CSがLレベルであり、コラムアドレスストローブ信号／CASおよびライトイネーブル信号／WEがともにHレベルのときに、Hレベルの信号を出力する。

【0094】AND回路3bbは、複合ゲート3baの出力信号およびロウアドレスストローブ信号／RASがともにHレベルのときにカウンタアドレス有効化指示信号φsaを活性状態へ駆動する。したがって、チップセレクト信号／CSがLレベルであり、残りの信号／RAS、／CASおよび／WEがすべてHレベルのときに、信号φsaがHレベルに駆動される。この信号φsaが、内部クロック信号CLKの立上がり同期して非導通状態となるCMOSトランスマッションゲート18を介して伝達される。

【0095】この信号φsaに従ってカウンタアドレス活性化信号SADEを生成する回路部分は、図2において、NOR回路17の出力信号に従ってカウンタアドレス活性化信号SADEを生成する回路部分と同じであり、対応する部分に同じ番号を付し、その詳細説明は省略する。次に、図9に示す回路の動作を図10に示すタイミングチャート図を参照して説明する。

【0096】クロックサイクル#aの内部クロック信号CLKの立上がり前に、チップセレクト信号／CS、コラムアドレスストローブ信号／CASをLレベルに設定し、ライトイネーブル信号／WEは、データの書込／読出モードに従ってHレベルまたはLレベルに設定する。この状態においては、通常のリードコマンドまたはライトイコマンドが与えられる。アクセスコマンドデコード回路3aからの列選択動作指示信号φrwがHレベルへ立上がり、内部クロック信号CLKの立上がり同期して、トリステートインバータバッファ14からのコラムアドレス活性化信号CADEがHレベルに立上がる。一方、カウンタアドレスアクセスコマンドデコード回路3bにおいてはコラムアドレスストローブ信号／CASがLレベルであり、複合ゲート3bの出力信号がLレベルであり、したがって、信号φsaはLレベルであり、カウンタアドレス活性化信号SADEもLレベルに保持される。

【0097】次いで、クロックサイクル#bの内部クロック信号CLKの立上がり前に、チップセレクト信号／CSをLレベルに設定し、残りの信号／RAS、／CASおよび／WEをHレベルに設定する。この状態においては、複合ゲート3baの出力信号が、Hレベルに立上がり、応じて、AND回路3bbからのカウンタアドレ



ス有効化指示信号 $\phi sa$ がHレベルとなる。したがって、内部クロック信号CLKの立上がりに対応して、CMOSトランスマッションゲート18が非導通状態となりかつトライステートインバータバッファ20が動作し、カウンタアドレス活性化信号SADEがHレベルの活性状態へ駆動される。以降、読出を行なうバースト長期間の間、同じように、チップセレクト信号/CSをLレベルに駆動し、残りの信号/RAS、/CASおよび/WEをHレベルに保持する。これにより、カウンタアドレス有効化指示信号 $\phi sa$ が生成され、各クロックサイクル#c、および#dにおいて、カウンタアドレス活性化信号SADEが活性化される。

【0098】クロックサイクル#eにおいて、チップセレクト信号/CSをHレベルに保持することにより、コマンドデコード回路3aおよび3bの出力信号 $\phi rw$ および $\phi sa$ はLレベルとなり、アドレス活性化信号CADEおよびSADEもLレベルに保持される。

【0099】したがって、この図9に示すように、カウンタアドレスを有効化するためのコマンドとデータのリード/ライトを示す通常のアクセス動作を指示するコマンドを別々に設けることにより、バースト長内の必要な数のデータの書込/読出を行なうことができる。

【0100】なお、図9に示す構成においても、リセット信号RSTが、図示しない制御部からの列選択動作活性化信号/COLACTの活性化時、内部クロック信号CLKの立下りに同期して所定期間活性状態へ駆動される。

【0101】なお、信号 $\phi w$ および $\phi sa$ は活性化時Hレベルに駆動されるが、これらは活性化時Lレベルへ駆動されてもよい。すなわち、示される信号の極性が逆転されてもよい。

【0102】[変更例2] 図11は、この発明の実施の形態1の変更例2の構成を示す図である。図11においては、カウンタアドレス活性化信号SADEを発生する部分の構成を示す。カウンタアドレス活性化信号SADEを発生するためのトリガ信号は、図9に示す回路または図2に示す回路のいずれの構成に従って発生されてもよい。この図11に示す構成においては、図2または図9に示す構成に加えて、コラムアドレス活性化信号CADEを受けるインバータ28aと、トライステートインバータバッファ20の出力信号とインバータ28aの出力信号とを受けてカウンタアドレス活性化信号SADEを生成するAND回路28bがさらに設けられる。

【0103】この図11に示す構成においては、コラムアドレス活性化信号CADEの活性化時、カウンタアドレス活性化信号SADEは強制的にLレベルにリセットされる。したがって、アクセスコマンドが与えられ、そのサイクルにおいて外部からのアドレス信号が取込まれて内部列アドレス信号が生成されるときカウンタからのアドレス信号が誤って同時に選択されて外部からのアド

レス信号とカウンタからのアドレス信号とが衝突するのを防止する。第2クロックサイクル以降においては、コラムアドレス活性化信号CADEは、Lレベルに設定されるため、カウンタアドレス活性化信号SADEは、トライステートインバータバッファ20の出力信号に従って活性化される。

【0104】以上のように、この発明の実施の形態1に従えば、列選択に関連するコマンドを、内部クロック信号よりも速いタイミングでデコードして、内部クロック信号に従って内部動作活性化信号を生成するようにしているため、高速で内部動作活性化信号(アドレス活性化信号)を活性状態へ駆動することができ、内部動作開始タイミングを速くすることができる。

【0105】また、外部からのアドレス信号とカウンタからのアドレス信号をそれぞれ別々の制御信号に従って選択して内部列アドレス信号を生成しているため、各クロックサイクルにおいて同じタイミングで内部列アドレス信号を生成することができ、カウンタアドレスからの列アドレス信号および外部からのアドレス信号による内部列アドレス信号の確定タイミングのマージンを考慮する必要がなく、列選択動作を速いタイミングで開始することができる。

【0106】[実施の形態2] 列アドレス信号発生回路の構成：図12は、図1に示す内部列アドレス信号発生回路5に含まれるアドレス入力部の構成を示す図である。複数ビットのアドレス信号の各ビットそれぞれに対応して図12に示す回路構成が設けられるが、図12においては、1ビットのアドレス信号ADDに対応する回路部分を示す。このアドレス入力部は、内部クロック信号CLKに従って与えられたアドレス信号をラッチして内部アドレス信号Ainおよび/Ainを生成する。

【0107】アドレス入力ラッチ29は、アドレス入力端子に与えられるアドレス信号ADDを内部クロック信号CLKがLレベルのときに通過させるCMOSトランスマッションゲート30と、CMOSトランスマッションゲート30を通過したアドレス信号を反転しかつラッチするインバータラッチ31と、内部クロック信号CLKがHレベルのときに能動化され、インバータラッチ31の出力信号を反転するトライステートインバータバッファ32と、内部クロック信号CLKがHレベルのときに能動化され、CMOSトランスマッションゲート30からのアドレス信号を反転するトライステートインバータバッファ33と、トライステートインバータバッファ32および33の出力信号をラッチするインバータラッチ34を含む。トライステートインバータバッファ32から内部アドレス信号Ainが出力され、トライステートインバータバッファ33から補の内部アドレス信号/Ainが出力される。インバータラッチ34は、トライステートインバータバッファ32および33の出力の間に反並列に接続されるインバータを含む。

【0108】この図12に示すアドレス入力ラッチ29の構成においては、内部クロック信号CLKがLレベルのときに、アドレス入力ノードに与えられたアドレス信号をCMOSTランスマッションゲート30が通過させてインバータラッチ31へ与える。内部クロック信号CLKがHレベルに立上ると、CMOSTランスマッションゲート30が非導通状態となり、アドレス入力ラッチはラッチ状態となる。内部クロック信号CLKの立上りに応答して、トライステートインバータバッファ32および33が能動化され、それぞれインバータラッチ31の出力信号および入力信号を反転して相補内部アドレス信号Ainおよび/Ainを生成する。これらの内部アドレス信号Ainおよび/Ainは、インバータラッチ34によりラッチされる。

【0109】この図12に示すようにアドレス入力ラッチ29において内部クロック信号CLKをトリガとして相補内部アドレス信号を生成しかつラッチすることにより、内部列アドレス信号の確定タイミングを高速化することができる。また、コラムアドレス生成部の回路構成を簡略化することができる。

【0110】図13は、列アドレス信号生成部の構成を示す図である。図13において、列アドレス信号生成部は、アドレス入力ラッチ29からの内部アドレス信号Ainをコラムアドレス活性化信号CADEに伝達して通過させて内部列アドレス信号CAを生成するAND回路35aと、アドレス入力ラッチ29からの補の内部アドレス信号/Ainをコラムアドレス活性化信号CADEの活性化時通過させて補の内部列アドレス信号/CAを生成するAND回路35bを含む。アドレス入力ラッチ29からの相補内部アドレス信号Ainおよび/Ainを、コラムアドレス活性化信号CADEに従ってゲート処理して内部列アドレス信号CAおよび/CAを生成する。したがって、内部列アドレス信号発生部の構成は、図3に示す構成と同様に、簡略化することができた、内部列アドレス信号CAおよび/CAの確定タイミングを同じとすることができる。また、この図13に示す内部列アドレス信号発生部においては、単にAND回路35aおよび35bが設けられているだけであり、内部列アドレス信号CAおよび/CAはラッチされない。これは、以下の利点を与える。

【0111】図14は、内部行アドレス信号発生部の構成を概略的に示す図である。図14において、内部行アドレス信号発生部は、アドレス入力ラッチ29からの内部アドレス信号Ainをロウアドレスラッチイネーブル信号RALの活性化時通過させるCMOSTランスマッションゲート40aと、CMOSTランスマッションゲート40aの出力信号を反転しかつラッチするインバータラッチ40bと、インバータラッチ40bの出力信号を反転するインバータ40cを含む。この内部行アドレス信号RAから、さらに行アドレス活性化信号RADE

に従って相補内部行アドレス信号が生成される。

【0112】この図14においては、比較のために行アドレス信号発生部の構成を示しているが、内部行アドレス信号RAはラッチされており、リセットされない。今、内部列アドレス信号も、行アドレス信号と同様、ラッチした場合を考える。この場合、図15に示すように、内部クロック信号CLKの立上りに同期して、前のサイクルの状態から、内部列アドレス信号CAおよび/CAの状態が変化し、かつラッチ状態を反転する必要がある、その状態確定までに、時間がかかる。一方、図13に示すように、単にAND回路を用いて、相補内部列アドレス信号をコラムアドレス活性化信号CADEに従って生成する場合、リセット状態から信号電位が変位するだけであり、何らラッチ状態を反転する必要はない。これらのAND回路35aおよび35bにおけるゲート遅延を考慮する必要があるだけであり、図15に示すように高速で内部列アドレス信号CAおよび/CAを確定状態に駆動することができる。これにより、内部列アドレス信号の確定タイミングが速くなり、内部列選択動作開始タイミングを速くすることができる。

【0113】また、列アドレス信号をラッチする回路が不要となり、内部列アドレス信号生成部の回路構成が簡略化され、また行アドレス信号のように行アドレスラッチ指示信号RALに対応するコラムアドレスラッチ指示信号CALを生成する必要がなく、内部クロック信号に同期して相補内部アドレス信号を生成しかつコラムアドレス活性化信号CADEにより内部列アドレス信号を生成することができる。したがって、内部クロック信号CLKが立上ってから速いタイミングでコラムアドレス活性化信号CADEを活性化することにより、速いタイミングで、内部列アドレス信号を確定状態に設定することができる（信号CALに伝達するゲートが不要となるため）。

【0114】なお、このアドレス入力ラッチ29において、相補アドレス信号Ainおよび/Ainを、先の実施の形態1におけるリセット信号RSTを用いてリセットするように構成してもよい。また、この内部列アドレス信号CAおよび/CAは、先の実施の形態1におけるカウンタからのアドレスを選択するカウンタアドレス活性化信号SADEと組合せて選択的にこのAND回路35aおよび35bからのコラムアドレス信号およびカウンタからのカウンタアドレスの一方が選択される（図13に示す構成において内部列アドレス信号CAおよび/CAを受ける選択回路が設けられればよい）。

【0115】〔変更例〕図16は、この発明の実施の形態2の変更例の構成を示す図である。図16において、アドレス入力ラッチ29は、アドレス入力ノードに与えられるアドレス信号をラッチするインバータラッチ41aと、内部クロック信号CLKがHレベルとなると動作し、アドレス入力ノードに与えられたアドレス信号AD

Dを反転するトライステートインバータバッファ41bと、インバータラッチ41aからの反転アドレス信号ADDを受け、内部クロック信号CLKがHレベルとなると動作してこのインバータラッチ41aからのアドレス信号を反転するトライステートインバータバッファ41cと、トライステートインバータバッファ41bおよび41cの出力信号をラッチするインバータラッチ41dと、トライステートインバータバッファ41bの出力信号を反転して内部アドレス信号A<sub>in</sub>生成するインバータ41eと、トライステートインバータバッファ41cの出力信号を反転して補の内部アドレス信号/A<sub>in</sub>生成するインバータ41fを含む。インバータラッチ41aは、トライステートインバータバッファ41bおよび41c入力の間に互いに反並行に接続されるインバータを含む。インバータラッチ41dは、トライステートインバータバッファ41bおよび41cの出力の間に互いに反並行に接続されるインバータを含む。

【0116】この図16に示すアドレス入力ラッチの場合、内部クロック信号CLKがHレベルに立上ってから、相補内部アドレス信号A<sub>in</sub>および/A<sub>in</sub>が伝達される経路の遅延時間は同じである。したがって、内部クロック信号CLKが立上ってから同じタイミングでアドレス信号A<sub>in</sub>および/A<sub>in</sub>を確定状態に設定することができ、速いタイミングで、内部アドレス信号を確定状態とすることができる。応じて、内部列アドレス信号の確定タイミングも速くなる。

【0117】以上のように、この発明の実施の形態2に従えば、単に内部クロック信号に同期して外部アドレス信号をラッチして相補内部アドレス信号を生成しているため、アドレスラッチ回路の構成を簡略化することができ、また内部コラムアドレス信号は、コラムアドレス活性化信号との論理積とにより相補内部アドレス信号から生成しており、回路構成が簡略化される。また、速いタイミングで内部列アドレス信号を確定状態とすることができる。

【0118】また、内部列アドレス信号を各クロックサイクルにおいて初期状態にリセットすることにより、クロックサイクルにおいて、相補内部列アドレス信号は、一方のみが充電されるだけであり、一方方向の電流が流れるだけであり、前のサイクルのアドレス信号の影響により、両方の信号が変化する状態に比べて、電源から接地へ流れる電流が低減される。

【0119】また前のクロックサイクルにおける列アドレス信号の影響を受けることなく、同じリセット状態の電圧レベルから一方方向に信号が変化するだけであり、前のクロックサイクルにおける列アドレス信号の電圧レベルの影響を受けることなく、同じタイミングで内部列アドレス信号を確定状態へ駆動することができ、速いタイミングで、内部列アドレス信号を確定状態とすることができる。

【0120】[実施の形態3] 図17は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を示す図である。図17においては、図1に示すプリデコード6が、コラムアドレス活性化信号CADEの活性化にตอบสนองして能動化され、アドレス入力ラッチ29からの内部アドレス信号ビットA<sub>in</sub><0>, /A<sub>in</sub><0>~A<sub>in</sub><n>, /A<sub>in</sub><n>をプリデコードして、プリデコード信号Y<0>~Y<m>を生成する。したがって、このプリデコード6は、内部コラムアドレス信号CA, /CAが確定してからプリデコードを行なうのではなく、相補内部アドレス信号が生成されると、コラムアドレス活性化信号CADEの活性化に従ってプリデコード動作を行なっており、内部クロック信号CLKが立上りがってアドレス入力ラッチ29からの内部アドレス信号A<sub>in</sub><0>, /A<sub>in</sub><0>~A<sub>in</sub><n>, /A<sub>in</sub><n>をプリデコードすることにより、速いタイミングでプリデコード信号Y<0>~Y<m>を確定状態にすることができる。

【0121】図18は、図17に示すプリデコード6に含まれるプリデコード回路の構成を示す図である。図18においては、プリデコード信号Y<k>に対するプリデコード回路が示される。このプリデコード回路は、アドレス入力ラッチ29からの内部アドレス信号の所定の組A<sub>in</sub><i>, ...A<sub>in</sub><j>およびコラムアドレス活性化信号CADEを受けるNAND回路6aと、NAND回路6aの出力信号を反転してプリデコード信号Y<k>を生成するインバータ6bを含む。次に、図19を参照して、図17および図18に示すプリデコード6の動作について説明する。

【0122】コラムアドレス活性化信号CADEが非活性化状態のLレベルのときには、NAND6aの出力信号がHレベルとなり、プリデコード信号Y<k>は、Lレベルの非選択状態を維持する。一方、コラムアドレス活性化信号CADEが活性化されると、NAND回路6aの出力信号が、与えられた内部アドレス信号A<sub>in</sub><i>, ...A<sub>in</sub><j>の組合せ（相補アドレス信号を含む）により決定され、この組合せに従って、プリデコード信号Y<k>の状態が決定される。アドレス入力ラッチ29は、行アドレス信号および列アドレス信号両者に共通に設けられており、コラムアドレス活性化信号CADEに従ってこのアドレス信号の行アドレス信号および列アドレス信号の区別が行なわれる。コラムアドレス信号として判定されると同時にプリデコードを行なうことにより、プリデコード信号を速いタイミングで確定状態へすることができ、列選択動作を高速化することができる。

【0123】また、コラムアドレス活性化信号CADEが非活性化されると、プリデコード6が不能動化され、プリデコード信号Y<0>~Y<m>もLレベルにリセットされる（初期化される）。したがって、プリデコー

ド信号の有効期間が決定され、プリデコード信号は、常にLレベルから変化するため、前のサイクルにおけるプリデコード信号の状態の影響を受けることなく、常に同じタイミングでプリデコード信号が変化して確定状態に到達するため、プリデコード信号の確定タイミングに対するマージン（前のサイクルにおけるプリデコード信号からの変化速度を考慮するマージン）を考慮する必要がなく、速いタイミングでプリデコード信号を確定状態として、列選択動作を行なうことができる。

【0124】なお、この図17に示すアドレス入力ラッチ29およびプリデコード6の構成の場合、アドレス入力ラッチ29としては、先の実施の形態2のいずれのアドレス入力ラッチの構成が用いられてもよい。

【0125】各クロックサイクルにおいてコラムアドレス活性化信号CADEが活性化されている。しかしながら、バーストアドレスカウンタからのアドレス信号を用いる場合、このコラムアドレス活性化信号CADEに代えて、カウンタアドレス活性化信号SADEが用いられる。したがって、この場合、単にコラムアドレス活性化信号CADEとカウンタアドレス活性化信号SADEのOR回路を通した信号をプリデコードを活性化するために用いればよい。この場合、以下に示すように、内部アドレス信号A<sub>in</sub>とカウンタからのカウンタアドレスS<sub>Ain</sub>を切換える構成が必要となる。

【0126】[変更例] 図20は、この発明の実施の形態3の変更例の構成を示す図である。図20において、プリデコード6は、アドレス入力ラッチから与えられる相補内部アドレス信号A<sub>in</sub>および/A<sub>in</sub>を受け、コラムアドレス活性化信号CADEの活性化にตอบสนองして与えられた相補内部アドレス信号A<sub>in</sub>および/A<sub>in</sub>をプリデコードするNAND型デコード回路45aと、コラムアドレス活性化信号CADEの活性化にตอบสนองして動作可能状態となり、NAND型デコード回路45aの出力信号を反転するトライステートインバータバッファ回路45bと、カウンタからのカウンタアドレス信号SA<sub>D</sub>および/S<sub>AD</sub>を受け、カウンタアドレス活性化信号SADEの活性化にตอบสนองしてこれらのカウンタアドレスSA<sub>D</sub>および/S<sub>AD</sub>をプリデコードするNAND型デコード回路45cと、カウンタアドレス活性化信号SADEの活性化にตอบสนองして動作可能状態となり、NAND型デコード回路45cの出力信号を反転するトライステートインバータバッファ45dを含む。トライステートインバータバッファ45bおよび45dの出力は共通に結合されて、プリデコード信号Yを生成する。

【0127】この図20に示すプリデコードの構成においても、バーストモードで動作する場合においても、カウンタからのアドレスSA<sub>D</sub>および/S<sub>AD</sub>を、カウンタアドレス活性化信号SADEの活性化と同時にプリデコードすることにより、速いタイミングでプリデコード信号Yを生成することができる。なお、この構成では、

先に用いたリセット信号RSTにตอบสนองしてプリデコード信号Yをリセットするリセット用MOSTランジスタが必要となる。

【0128】以上のように、この発明の実施の形態3に従えば、内部クロック信号に従って外部アドレス信号を取込み内部アドレス信号を生成するアドレス入力ラッチからの内部アドレス信号をコラムアドレス活性化信号の活性化にตอบสนองしてプリデコードするように構成しているため、コラムアドレス発生部がプリデコードと共用され、コラムアドレス信号の伝搬経路におけるゲートの段数が低減され、高速でプリデコード信号を駆動することができる。

【0129】また、各クロックサイクルにおいて、プリデコード信号が初期状態（スタンバイ状態）にリセットされているため、各クロックサイクルにおいて、プリデコード信号を速いタイミングで確定状態とすることができ、応じて速いタイミングで列選択動作を開始することができる。

【0130】なお、上述の実施の形態1から3において、各信号のスタンバイ状態をLレベルに設定している。しかしながら、このリセット状態は、Hレベルであってもよい。

【0131】[実施の形態4] プリデコードの構成2：図21は、この発明の実施の形態4に従うプリデコード6の構成を概略的に示す図である。図21においては、9ビットの列アドレス信号CA<0>～CA<8>をプリデコードする構成が一例として示される。プリデコード6は、2ビットの列アドレス信号それぞれに対して設けられる第1段プリデコード回路50a～50dと、列アドレス信号ビットCA<8>に対して設けられる第1段プリデコード回路50eを含む。第1段プリデコード回路50aは、列アドレス信号ビットCA<0>、/CA<0>、CA<1>および/CA<1>をプリデコードして、プリデコード信号YA<0>～YA<3>を生成する。

【0132】第1段プリデコード回路50dは、列アドレス信号ビットCA<6>、CA<7>、/CA<6>および/CA<7>をプリデコードして、プリデコード信号YD<0>～YD<3>を生成する。第1段プリデコード回路50eは、列アドレス信号ビットCA<8>および/CA<8>をプリデコードしてプリデコード信号YE<0>およびYE<1>を生成する。これらの第1段プリデコード回路50a～50dおよび50eは、それぞれ対応のプリデコード信号の1つを選択状態へ駆動する。

【0133】プリデコード6は、さらに、第1段プリデコード回路50a～50dからのプリデコード信号YA<0>～YA<3>…YD<0>～YD<3>を第1段プリデコード回路50eからのプリデコード信号YE<0>およびYE<1>に従ってさらにプリデコードする

第2段プリデコード回路51を含む。第2段プリデコード回路から、プリデコード信号 $YG<0>\sim YG<31>$ が出力される。第1段プリデコード回路50a~50dにより、16個のプリデコード信号のうち、4つのプリデコード信号が選択状態へ駆動される。第2段プリデコード回路51により、32本のプリデコード信号線のうち4本のプリデコード線が選択状態へ駆動される。5本のプリデコード信号線を選択状態へ駆動する場合に比べて、選択状態へ駆動されるプリデコード線の数が高減され、消費電力が高減される。また、デコード回路は、4入力デコード回路となり、デコードの回路規模を高減することができる。

【0134】第1段プリデコード回路50a~50eは、通常の、NAND型デコード回路で構成される。

【0135】図22は、図21に示す第2段プリデコード回路51の構成を示す図である。図22においては、プリデコード信号 $YG<0>\sim YG<15>$ に対する部分の構成を示す。図22において、第2段プリデコード回路51は、プリデコード信号 $YE<1>$ を受けるCMOSインバータ52と、プリデコード信号 $YA<0>\sim YD<3>$ それぞれに対応して設けられるCMOSインバータ53-0~53-15を含む。CMOSインバータ53-0~53-15は、それぞれ、電源ノードとCMOSインバータ52の出力ノードNDyとの間に結合され、それぞれの入力に、対応のプリデコード信号 $YA<0>\sim YD<3>$ を受けて、プリデコード信号 $YG<0>\sim YG<15>$ を出力する。

【0136】プリデコード信号 $YE<1>$  ( $YE<0>$ または $YE<1>$ ) がHレベルのとき、このCMOSインバータ52の出力ノードNDyは、接地電圧レベルとなる。したがって、CMOSインバータ53-0~53-15は、それぞれ、対応のプリデコード信号 $YA<0>\sim YD<3>$ に従ってプリデコード信号 $YG<0>\sim YG<15>$ をHレベル (電源電圧Vccレベル) または接地電圧レベルへ駆動する。

【0137】一方、プリデコード信号 $YE<1>$ がLレベルのときには、CMOSインバータ52の出力ノードNDyは電源電圧Vccレベルとなる。CMOSインバータ53-0~53-15は、電源電圧Vccを受ける電源ノードとCMOSインバータ52の出力ノードNDy上の電圧を両動作電源電圧として動作する。したがって、これらのCMOSインバータ53-0~53-15の出力するプリデコード信号 $YG<0>\sim YG<15>$ は、プリデコード信号 $YA<0>\sim YD<3>$ の状態にかかわらず、電源電圧Vccレベルとなる。これらのプリデコード信号 $YG<0>\sim YG<15>$ は、選択時、接地電圧レベルのLレベルとなり、非選択時に、電圧Vccレベルとなる。プリデコード信号群をプリデコード信号 $YE<0>$ および $YE<1>$ によりグループ化し、グループ内のプリデコード信号 $YA<0>\sim YD<3>$

をグループ特定用プリデコード信号 $YE<0>$ 、 $YE<1>$ でプリデコードする。選択グループ内で列指定用プリデコード信号が選択状態へ駆動される。

【0138】この図22に示すプリデコード回路の構成の場合、プリデコード信号 $YE<1>$ を出力する第1段プリデコード回路50eは、CMOSインバータ52のゲート容量を駆動することが必要とされる。CMOSインバータ52は、単に出力ノードNDyを接地電圧レベルまたは電源電圧Vccレベルに駆動する。これらの出力ノードNDyには、CMOSインバータ53-0~53-15のnチャネルMOSTランジスタのソースが結合される。したがって、この出力ノードNDyに存在する寄生容量は、MOSTランジスタのゲート容量がこの出力ノードNDyに接続される場合に比べて小さくなる。したがって、CMOSインバータ52は、高速で出力ノードNDyを、電源電圧Vccレベルまたは接地電圧レベルへ駆動することが出来る。また、第1段プリデコード回路50eも、単にCMOSインバータ52のゲート容量を駆動するだけでよく、CMOSインバータ53-0~53-15を駆動する必要はなく、その出力負荷が軽減され、高速で、グループ特定用プリデコード信号 $YE<1>$  ( $YE<0>$ または $YE<1>$ ) を選択状態へ駆動することができる。

【0139】図23は、図22に示す第2段プリデコード回路の動作を示すタイミングチャート図である。図23に示すように、内部クロック信号CLKに同期してコラムアドレス活性化信号CADE (またはカウンタアドレス活性化信号SADE) が活性状態へ駆動される。このコラムアドレス活性化信号CADEが活性状態へ駆動されると、内部コラムアドレス信号CAが確定状態となり、また第1段プリデコード回路50a~50eからプリデコード信号YA~YEが出力される。したがって、これらのプリデコード信号YA~YE ( $YA<0>\sim YE<1>$ ) が、選択状態へ駆動されるタイミングは、実質的に同じとなり、第2段プリデコード回路51において、これらのプリデコード信号YA~YEが確定状態になる際のタイミングマージンを考慮する必要がなく、速いタイミングで、プリデコード信号YG ( $YG<0>\sim YG<15>$ ) を選択状態へ駆動することができる。

【0140】コラムアドレス活性化信号CADEが非活性化されると、内部コラムアドレス信号も同様スタンバイ状態にセットされ、応じてプリデコード信号YA~YEもリセットされる (Lレベルが初期状態)。応じて、プリデコード信号YG ( $YG<0>\sim YG<15>$ ) もHレベルにリセットされる。プリデコード信号YA~YGは、常に、リセット状態から選択状態へ変化するだけであり (選択状態時)、高速で、プリデコード信号YA~YGを、選択状態へ駆動することができる。

【0141】なお、図21に示す構成において、内部列アドレス信号ビット $CA<0>\sim CA<8>$ 、/CA<



0>〜/CA<8>をアリデコードしている。しかしながら、図18および図20に示すように、内部アドレス信号A<sub>in</sub>および/A<sub>in</sub>に対しコラムアドレス活性化信号またはカウンタアドレス活性化信号に従ってアリデコード動作を開始するように第1段アリデコード回路50a〜50eが構成されてもよい。この場合においても、第1段アリデコード回路50a〜50eは、コラムアドレス活性化信号CADE（またはカウンタアドレス活性化信号SADE）の活性化にตอบสนองしてアリデコード動作を開始するため、出力されるアリデコード信号の確定タイミングが、ほぼ同じとなり（相補アドレス信号A<sub>in</sub>、/A<sub>in</sub>が同じタイミングで生成される）、第2段アリデコード回路51は、速いタイミングでアリデコード動作を行なうことができる（アリデコード信号のタイミングスキューに対するマージンを考慮する必要がないため）。

【0142】[変更例] 図24は、第2段アリデコード回路11の変更例を示す図である。図24において、この第2段アリデコード回路51は、アリデコード信号Y0<0>〜Y0<3>をアリデコード信号Y1<0>〜Y1<3>でさらにアリデコードして、アリデコード信号Y2<0>〜Y2<15>を生成する。この第2段アリデコード回路51は、図22に示す構成と同様の構成を備え、4ビットのアリデコード信号Y0<0>〜Y0<3>を、アリデコード信号Y1<0>〜Y1<3>のそれぞれでアリデコードする。アリデコード信号Y0<0>〜Y0<3>の1つが選択状態へ駆動され、アリデコード信号Y1<0>〜Y1<3>の1つが選択状態へ駆動されるとき、16ビットのアリデコード信号Y2<0>〜Y2<15>のうち、1つのアリデコード信号が選択状態へ駆動される。

【0143】この図24に示す第2段アリデコード回路51において、単にアリデコード信号の組合せが異なるだけであり、図22に示す構成において、グループ特定用アリデコード信号YE<i>としてアリデコード信号Y1<0>〜Y1<3>の1つを与え、グループ内列指定用アリデコード信号YA<0>〜YD<3>へ、アリデコード信号Y0<0>〜Y0<3>へ与える。したがって、図25に示すように、4つのCMOSインバータ53-0〜53-3のソースノード（接地ノード）を、アリデコード信号Y1<0>を受けるCMOSインバータ52の出力ノードND<sub>y</sub>に接続する。

【0144】図25に示すアリデコード回路は、アリデコード信号Y1<1>〜Y1<3>それぞれに対して設けられる。通常の、NAND回路構成のアリデコードに代えて、アリデコード信号Y1<0>〜Y1<3>を出力するデコーダの出力負荷が軽減され、高速で、アリデコード信号Y2<0>〜Y2<3>を生成することができる。

【0145】図24および図25に示す構成において、

アリデコード信号Y0<0:3>およびY1<0:3>は、内部アドレス信号から直接形成されてもよく、また内部列アドレス信号に従って生成されてもよい。

【0146】以上のように、この発明の実施の形態4に従えば、流内列指定用第1のアリデコード信号をグループ指定用第2のアリデコード信号でさらにアリデコードする場合、第2のアリデコード信号をCMOSインバータで受け、このCMOSインバータの出力ノードと電源ノードとの間にCMOSインバータを接続して各CMOSインバータに第1のアリデコード信号を与えているため、第2のアリデコード信号出力回路の負荷が軽減され、高速でアリデコード動作を行なうことができる。

【0147】また、第1および第2のアリデコード信号は、それぞれ初期状態に各クロックサイクルにおいてリセットされているため、選択時高速で変化させて確定状態へ駆動することができる。

【0148】[実施の形態5] 図26は、この発明の実施の形態5に従う同期型半導体記憶装置の要部の構成を概略的に示す図である。図26においては、図1に示すスベア判定回路7およびコラムデコーダ8およびスベアコラムデコーダ9を示す。図26においては、アリデコード信号Y0〜Y3および/Y0〜/Y3が用いられる場合が一例として示される。

【0149】図26において、スベア判定回路7は、冗長列に対応して設けられ、その冗長列が置換すべき不良列の列アドレスを記憶するプログラム回路7aと、与えられたコラムアドレス信号が不良列を指定しているか否かを、このプログラム回路7aにプログラムされた不良列アドレスとの比較により判定する判定回路7bを含む。ここで、アリデコード信号Y0〜Y3は、図21または図24に示すアリデコード信号YG<0>〜YG<31>またはY2<0>〜Y2<15>に対応する。

【0150】プログラム回路7aは、アリデコード信号Y0、/Y0〜Y3、/Y3それぞれに対応して設けられるインバータバッファ71a0、71b0〜71a3、71b3と、インバータバッファ71a0、71b0〜71a3、71b3それぞれに対応して設けられるヒューズ素子72a0、72b0〜72a3、72b3を含む。ヒューズ素子72a0、72b0〜72a3、72b3は、それぞれ、溶断/非溶断により、不良列のアドレスを記憶する。相補アリデコード信号に対して設けられたヒューズ素子の一方端が、共通に結合される。すなわち、ヒューズ素子72a0および72b0のそれぞれの端部はノードND0に共通に結合され、ヒューズ素子72a1および72b1のそれぞれの端部はノードND1に共通に結合され、ヒューズ素子72a2および72b2のそれぞれの端部は、共通にノードND2に結合され、ヒューズ素子72a3および72b3のそれぞれの端部は、ノードND3に結合される。

【0151】判定回路7bは、ノードND3およびND

2上の信号を受ける2入力NOR回路73と、ノードND0およびND1上の信号を受ける2入力NOR回路74と、NOR回路73および74の出力信号を受けてノーマルコラムデコーダディスエーブル信号/NCDを出力する2入力NAND回路75を含む。このNAND回路75からのノーマルコラムデコーダディスエーブル信号/NCDが活性状態のLレベルとなると、コラムデコーダ8が非活性化されて、そのデコード動作が禁止され、一方、スベアコラムデコーダ9が活性化されて、対応の冗長列を選択状態へ駆動する。

【0152】コラムデコーダ8は、ノーマルコラムデコーダディスエーブル信号/NCDとコラムデコーダイネーブル信号CDEを受けるAND回路81と、AND回路81からのノーマルコラムデコーダイネーブル信号NCEにตอบสนองして活性化され、与えられたプリデコード信号Y(Y0, /Y0~Y3, /Y3)をデコードして対応の列を選択するコラムデコード回路82を含む。図26においては、列選択線CSLに対応して設けられるAND型デコード回路82aを代表的に示す。

【0153】スベアコラムデコーダ9は、インバータ76を介して与えられるノーマルコラムデコーダディスエーブル信号/NCDとコラムデコーダイネーブル信号CDEを受けるAND回路91と、AND回路91からのスベアコラムデコーダイネーブル信号SCEにตอบสนองして対応の冗長列選択線SCSLを選択状態へ駆動するスベアコラムデコード回路92を含む。図26において、スベア列選択線SCSLに対して設けられるバッファ回路92aを代表的に示す。

【0154】複数の冗長列が設けられる場合、各冗長列に対応して、プログラム回路7aおよび判定回路7bが設けられる。複数の判定回路7bの出力信号のワイヤードANDにより、ノーマルコラムデコーダディスエーブル信号/NCDが生成される。次に、動作について簡単に説明する。

【0155】ヒューズ素子72a0, 72b0~72a3, 72b3は、冗長列のアドレスに従って溶断/非溶断される。今、ヒューズ素子72a0~72a3は溶断され、ヒューズ素子72b0~72b3が非溶断の状態を考える。この場合、プリデコード信号Y0~Y3がすべてHレベルとなるアドレスが不良列である。正常な列が指定された場合には、プリデコード信号Y0~Y3の少なくとも1つがLレベルである。すなわち、補のプリデコード信号/Y0~/Y3の少なくとも1つがHレベルであり、残りのプリデコード信号がLレベルとなる。したがって、ノードND0~ND3の少なくとも1つに、対応のインバータ71bを介してLレベルの信号が伝達されても、残りのノードには、Hレベルの信号が伝達され、NOR回路73および/または74の出力信号がLレベルとなり、NAND回路75の出力信号がHレベルとなる。すなわち、ノーマルコラムデコーダディス

エーブル信号/NCDがHレベルとなり、コラムデコーダイネーブル信号CDEがHレベルに立上ると、コラムデコーダ8においてAND回路81からのノーマルコラムデコーダイネーブル信号NCEがHレベルとなり、プリデコード信号Yをデコードして、対応の列選択線CSLを選択状態へ駆動する。スベアコラムデコーダ9においては、インバータ76の出力信号がLレベルであり、スベアコラムデコーダイネーブル信号SCEがLレベルとなり、スベアコラムは選択されない。

【0156】一方、与えられたプリデコード信号Y0~Y3がすべてHレベルのときには、補のプリデコード信号/Y0~/Y3がHレベルとなり、インバータ71b0~71b3の出力信号がLレベルとなる。したがって、ノードND0~ND3へは、Lレベルの信号が伝達され、NOR回路73および74の出力信号がともにHレベルとなり、NAND回路75からのノーマルコラムデコーダディスエーブル信号/NCDがLレベルに立下がる。したがって、コラムデコーダイネーブル信号CDEがHレベルに立上ると、ノーマルコラムデコーダイネーブル信号NCEはLレベルを維持し、一方、スベアコラムデコーダイネーブル信号SCEが、Hレベルとなり、スベア列選択線SCSLが選択される。

【0157】次に、図27に示すタイミングチャート図を参照して、スベア判定回路7の動作について説明する。

【0158】クロックサイクル# aにおいて、プリデコード信号Yが与えられる。このプリデコード信号Yが、ノーマルコラムを指定していると、ノードND3の電圧レベルはHレベルを維持し、NOR回路73の出力信号はLレベルを維持する。このクロックサイクル# aにおいて、所定のタイミングで、コラムデコーダイネーブル信号CDEが活性化される。ノーマルコラムデコーダディスエーブル信号/NCDがHレベルの状態にあるため、コラムデコーダイネーブル信号CDEに従ってノーマルコラムデコーダイネーブル信号NDEが活性状態となり、コラムデコード回路82により、列選択動作が行なわれる。所定の時間が経過すると、プリデコード信号Yが、初期状態のLレベルにリセットされる(先の実施の形態1から4参照)。

【0159】プリデコード信号YがLレベルにリセットされた状態で次のクロックサイクル# bにおいて、次のプリデコード信号Yが変化する。クロックサイクル# bにおいて、不良列が指定された場合、ノードND3の電圧レベルがLレベルに低下し、また残りのノードND0~ND2もその電圧レベルがLレベルに低下する。応じて、NOR回路73および74の出力信号がLレベルからHレベルに上昇し、NAND回路75からのノーマルコラムデコーダディスエーブル信号/NCDがLレベルに立下がる。この状態において、コラムデコーダイネーブル信号CDEがHレベルに立上ると、インバータ7



6およびAND回路91を介してスベアコラムデコードイネーブル信号SCEがHレベルとなり、スベア列選択線SCSLが選択状態へ駆動される。

【0160】コラムデコードイネーブル信号CDEがLレベルに立下がると、スベアコラムデコードイネーブル信号SCEもLレベルに立下がり、スベアコラムの選択が完了する。

【0161】一方、クロックサイクル#bにおいて、プリデコード信号YがLレベルにリセットされており、このリセットにより、ノードND0～ND3の電圧レベルがすべてHレベルに復帰する。応じて、NOR回路73および74の出力信号がLレベルとなり、応じてNAND回路75からのノーマルコラムデコードディスエーブル信号/NCDがHレベルに立上る。

【0162】クロックサイクル#cにおいて再びプリデコード信号Yの状態が変化して確定する。このクロックサイクル#cにおいてノーマルコラムが指定された場合、ノーマルコラムデコードディスエーブル信号/NCDはHレベルを維持する。したがって、コラムデコードイネーブル信号CDEがHレベルに立上ると、ノーマルコラムデコードイネーブル信号NCEが即座に立上がり、コラムデコード回路82によるデコード動作が開始される。

【0163】したがって、図27に示すように、プリデコード信号Yを、各クロックサイクルにおいてリセットすることにより、各クロックサイクルにおけるプリデコード信号の変化およびその確定タイミングを早くすることができる。また、このプリデコード信号Yのリセットにより、判定回路7bにおいて内部ノードがすべて初期状態にリセットされる。したがって、コラムデコードイネーブル信号CDEが活性化されるときには、ノーマルコラムデコードディスエーブル信号/NCDがHレベルの初期状態にあり、ノーマルコラムデコードイネーブル信号NCEは、コラムデコードイネーブル信号CDEに従って選択状態へ即座に駆動することができ、不良列選択後の次のクロックサイクルにおけるノーマル列選択動作を高速で行なうことができる。

【0164】なお、プリデコード信号Yがリセットされる構成において、プリデコード信号Yの活性化期間Taは、コラムデコードイネーブル信号CDEが活性状態にある期間Tbよりも長くされる。これにより、列選択動作時に、プリデコード信号Yがリセットされて、コラムデコードイネーブル信号CDEの状態にかかわらず、強制的に列選択動作が完了するのを防止することができる。

【0165】図28(A)は、コラムデコードイネーブル信号発生部の構成を概略的に示す図である。コラムデコードイネーブル信号CDEを発生する回路は、図1に示す制御回路に含まれる。図28(A)において、コラムデコードイネーブル信号発生部は、列選択動作活性化

信号/COLACTを受けるインバータ95aと、インバータ95aの出力信号と内部クロック信号CLKを受けるAND回路95bと、AND回路95bの出力信号の立下がりに応答してワンショットのパルス信号を発生するワンショットパルス発生回路95cを含む。このワンショットパルス発生回路95cからのワンショットパルス信号は、コラムデコードイネーブル信号CDEとして用いられる。

【0166】列選択動作活性化信号/COLACTは、バースト長期間活性状態のLレベルに保持される。内部クロック信号CLKの立下がり時に、AND回路95bの出力信号がLレベルに立下がる。したがって、このAND回路95bからの出力信号の立上りに応答してワンショットのパルス信号を生成することにより、各クロックサイクルにおいて、早いタイミングで、コラムデコードイネーブル信号CDEを活性状態へ駆動することができる。この場合、ワンショットパルス発生回路95cからのワンショットパルスの時間幅は、プリデコード信号Yが活性状態にある期間以下に設定される。これは、コラムアドレス活性化信号CADEを発生する回路部分におけるワンショットパルス発生回路のパルス幅の調整により容易に実現される。

【0167】図28(B)は、コラムデコードイネーブル信号発生部の他の構成を概略的に示す図である。図28(B)において、コラムデコードイネーブル信号発生部は、コラムアドレス活性化信号CADEとカウンタアドレス活性化信号SADEを受けるOR回路96aと、OR回路96aの出力信号を所定時間遅延する遅延回路96bと、遅延回路96bの出力信号の立上りに応答してワンショットのパルス信号を発生するワンショットパルス発生回路96cを含む。このワンショットパルス発生回路96cからのワンショットパルス信号が、コラムデコードイネーブル信号CDEとして出力される。

【0168】この図28(B)に示す構成の場合、コラムアドレス活性化信号CADEまたはカウンタアドレス活性化信号SADEの活性化によりプリデコード信号Yが確定状態となった後に、確実に、コラムデコードイネーブル信号CDEを活性状態へ駆動することができ、正確に列デコード動作を行なうことができる。このワンショットパルス発生回路96cのパルス幅も、またコラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEのパルス幅と同程度以下に設定される。この図28(B)に示す構成を利用しても、各クロックサイクルにおいて、コラムデコードイネーブル信号CDEを活性/非活性状態へ駆動することができる。

【0169】図29は、スベア判定回路7におけるゲートの電流駆動力を模式的に示す図である。図29においては、入力段のインバータ71a0、71b0～71a3、71b3を、インバータ71で代表的に示し、ヒューズ素子72a0、72b0～72b3を、ヒューズ素

子72で代表的に示す。

【0170】図29において、入力段のインバータ71は、出力信号をHレベルからLレベルに立下げするための電流駆動力が大ききされる。NOR回路73（または74）は、その出力信号をLレベルからHレベルに立上げるための電流駆動力が大ききされる。NAND回路75は、その出力信号をHレベルからLレベルに立下げするための電流駆動力が大ききされる。インバータ76は、その出力信号をLレベルからHレベルへ立上げる電流駆動力が大ききされる。AND回路81は、その出力信号NCEを、LレベルからHレベルへ立上げるための電流駆動力が大ききされる。AND回路91は、またその出力信号SCEをLレベルからHレベルへ立上げるための電流駆動力が大ききされる。

【0171】図29に示すように各ゲートの出力駆動力を設定した場合、以下のようにして、スベア判定動作を高速化することができる。

【0172】すなわち、図30に示すように、プリデコード信号YがHレベルに立上ってから、インバータ71の出力信号がLレベルに立下がる。そのとき、インバータ71の電流駆動力は、Lレベルへ駆動する能力が大ききされており、プリデコード信号YがHレベルに立上ってから時間 $t_a$ 経過後にインバータ71の出力信号がLレベルに確定する。

【0173】NOR回路73（または74）の出力信号は、このインバータ71からのLレベルの信号に従ってHレベルに立上がる。このとき、NOR回路73（および74）の電流駆動力は、その出力信号をHレベルに立上げる能力が大ききされており、したがってインバータ71の出力信号がLレベルに立下がってから時間 $t_b$ 経過後に、NOR回路73（74）の出力信号がHレベルに確定する。

【0174】NAND回路75が、このNOR回路73および74の出力信号に従ってその出力信号/NCDをLレベルに駆動する。したがって、NR回路73および74の出力信号がHレベルに確定すると、NAND回路75の出力信号/NCDは、時間 $t_c$ 経過後にLレベルに駆動されて確定する。また、インバータ76が、この信号/NCDを反転する。インバータ76は、その出力信号を立上げる能力が大ききされており、NAND回路75からのノーマルコラムデコードディスエーブル信号/NCDがLレベルに立上ってから時間 $t_d$ 経過後に、その出力信号をHレベルに設定する。したがって、コラムデコードイネーブル信号CDEがHレベルに立上がると、高速でスベアコラムイネーブル信号SCEをHレベルへ駆動することができる。このとき、AND回路91は、その出力信号SCEをHレベルに立上げる能力が大ききされており、高速でスベアコラムイネーブル信号SCEを活性状態へ駆動することができる。

【0175】一方、AND回路81においては、ノーマ

ルコラムデコードディスエーブル信号/NCDの活性化時、非活性状態にある。ノーマルコラムが選択された場合には、AND回路81がコラムデコードイネーブル信号CDEの活性化に従って、高速で、その出力信号NCEをHレベルに立上げる。

【0176】したがって、この図29に示す構成において、プリデコード信号Yが、各クロックサイクルにおいてリセットされる場合、これらのインバータ71、NOR回路73および74、NAND回路75、インバータ76、AND回路81および91の出力信号がリセット状態に駆動される場合、各リセット期間において確実にその出力信号がリセットされればよいだけである。一方、これらのゲートを、冗長列使用時、すなわちノーマルコラムデコードディスエーブル信号/NCDを活性状態に駆動する方向に、その電流駆動力を大きくすることにより、プリデコード信号Yが確定してから時間 $t_a + t_b + t_c + t_d$ 経過後に、スベア判定結果（冗長列使用）を確定状態へ駆動することができ、コラムデコードイネーブル信号CDEの活性化タイミングを早くすることができる。また、コラムデコード8がスベアコラム使用時にデコード動作して誤ってノーマルコラムが選択されるのを防止することができる。

【0177】これらのゲート、すなわちインバータ71、NOR回路73および74、NAND回路75、インバータ76ならびにAND回路81および91の出力ノードを駆動する電流駆動力を図29に示すように設定する場合、単に、構成要素であるMOSTランジスタのゲート幅の比を調整することにより電流駆動力の分布が容易に実現される。

【0178】たとえば、図31（A）に示すように、インバータ71においては、pチャネルMOSTランジスタの伝達係数 $\beta_p$ を、nチャネルMOSTランジスタの伝達係数 $\beta_n$ よりも小さくする。これにより、プリデコード信号Y<sub>i</sub>がHレベルへ立上がったとき、高速で、インバータ71の出力信号をLレベルへ駆動することができる。一方、図31（B）に示すように、インバータ76の場合、pチャネルMOSTランジスタの伝達係数 $\beta_p$ を、nチャネルMOSTランジスタの伝達係数 $\beta_n$ よりも大きくする。これにより、ノーマルコラムデコードディスエーブル信号/NCDが活性状態のLレベルとなったとき、インバータ76の出力信号を高速でHレベルへ駆動することができる。これらの伝達係数 $\beta_p$ および $\beta_n$ の大小関係の設定は、MOSTランジスタのゲート幅とゲート長の比を適当な値に設定することにより実現することができる。

【0179】残りのNOR回路73および74、NAND回路75ならびにAND回路81および91においても、同様、出力ノードを駆動するMOSTランジスタの $\beta$ 比を適当に設定することにより、図29に示すように

要求される出力ノード駆動能力の分布を実現することができる。

【0180】以上のように、この発明の実施の形態5に従えば、プリデコード信号を各クロックサイクルにおいて所定の電圧レベルにリセットしているため、冗長列選択後のノーマルコラム選択をも、通常サイクルと同じタイミングで行なうことができ、より高速で列選択動作を行なうことができる。また、スベア判定回路のゲート回路のMOSトランジスタの $\beta$ 比を適当に調節することにより、高速で冗長列使用というスベア判定を行なうことができ、高速で、冗長列を選択状態へ駆動することができる。

【0181】なお、上述の説明において、AND型スベア判定回路の構成を示している。しかしながら、このスベア判定回路の構成は、他の構成であってもよく、たとえばプリデコード信号を受けるMOSトランジスタが出力ノードに並列に接続されるOR型スベア判定回路であってもよい。

【0182】また、プリデコード信号がリセットされる電圧レベルは、Hレベルであってもよい。

【0183】また、プリデコード信号を所定の各クロックサイクルにおいて所定の電圧レベルにリセットしているため、スベア判定回路は、各クロックサイクルにおいて、内部ノードを初期状態にリセットすることができ、スベア判定動作を高速に行なうことができる（前のクロックサイクルの判定結果の影響を受けることがないため）。

【0184】〔実施の形態6〕図32は、図1に示すコマンドデコーダ3および制御回路4のより具体的構成を示す図である。図32において、コマンドデコーダ3は、チップセレクト信号/CS、ロウアドレスストローブ信号/RASおよびコラムアドレスストローブ信号/CASを受けて、列選択動作指示信号 $\phi_{rw}$ を出力するアクセスコマンドデコード回路3aと、列選択動作指示信号 $\phi_{rw}$ とライトイネーブル信号/WEを受けて読出動作指示信号 $\phi_r$ を発生するリードコマンドデコード回路3rと、列選択動作指示信号 $\phi_{rw}$ とライトイネーブル信号/WEを受けて書込動作指示信号 $\phi_w$ を発生するライトコマンドデコード回路3wを含む。

【0185】アクセスコマンドデコード回路3aは、チップセレクト信号/CSおよびコラムアドレスストローブ信号/CASがともにLレベルにあり、かつロウアドレスストローブ信号/RASがHレベルのときに、列選択動作指示信号 $\phi_{wr}$ を活性化する。

【0186】リードコマンドデコード回路3rは、列選択動作指示信号 $\phi_{rw}$ がHレベルの活性状態にありかつライトイネーブル信号/WEがHレベルのときに、読出動作指示信号 $\phi_r$ を活性化する。ライトコマンドデコード回路3wは、列選択動作指示信号 $\phi_{rw}$ がHレベルの活性状態にありかつライトイネーブル信号/WEがLレ

ベルのときに、書込動作指示信号 $\phi_w$ をHレベルの活性状態へ駆動する。

【0187】制御回路4は、列選択動作指示信号 $\phi_{rw}$ の活性化時、内部クロック信号CLKに従ってコラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEを出力するアドレス活性化信号発生回路100と、読出動作指示信号 $\phi_r$ の活性化時、内部クロック信号CLKにตอบสนองして読出トリガ信号RTを出力する読出トリガ回路102と、書込動作指示信号 $\phi_w$ の活性化時、内部クロック信号CLKにตอบสนองしてライトトリガ信号WTを発生する書込トリガ回路104を含む。

【0188】アドレス活性化信号発生回路100は、先の実施の形態1において図2から図11を参照して説明した構成と同様の構成を備え、列選択動作活性化信号 $\phi_{rw}$ の活性化時、内部クロック信号CLKに同期して、コラムアドレス活性化信号CADEを最初のクロックサイクルにおいて活性化し、以後のサイクルにおいてカウンタアドレス活性化信号SADEを活性化する。

【0189】読出トリガ回路102からの読出トリガ信号RTにより、図示しないブリアンプおよび読出データ転送回路およびデータ出力回路が順次活性化されて、データの読出が行なわれる。ライトトリガ信号WTの活性化にตอบสนองして、書込データの転送およびライトドライバの活性化による選択メモリセルへのデータの書込が行なわれる。

【0190】図33は、図32に示す読出トリガ回路102の構成を概略的に示す図である。図33において、読出トリガ回路102は、内部クロック信号CLKと読出動作指示信号 $\phi_r$ を受けるANDゲート102aと、ANDゲート102aの出力信号の活性化にตอบสนองして起動され、読出動作活性化信号READをバースト長期間活性状態に保持する読出動作活性化回路102bと、内部クロック信号CLKを所定時間遅延する遅延回路102cと、読出動作活性化信号READと遅延回路102cの出力信号CLKDとを受けるANDゲート102dと、ANDゲート102dの出力信号の活性化にตอบสนองして所定の時間幅を有するワンショットのパルス信号の形でリードトリガ信号RTを発生するリードトリガ信号発生回路102eを含む。このリードトリガ信号発生回路102eからのリードトリガ信号RTに従って、ブリアンプの活性化、ブリアンプにより増幅されたデータの転送等が行なわれる。

【0191】読出動作活性化回路102bは、図5に示す列選択動作活性化信号発生部と同様の構成を備え、ANDゲート102aの出力信号の活性化にตอบสนองしてセットされ、バースト長期間経過後、リセットされるセット/リセットフリップフロップでたとえば構成される。

【0192】図34は、図32に示す書込トリガ回路104の構成を示す図である。図34において、書込トリガ回路104は、内部クロック信号CLKと書込動作指

示信号φwを受けるANDゲート104aと、ANDゲート104aの出力信号の活性化にตอบสนองして起動され、バースト長期間、書込動作活性化信号WRITEを活性化状態に保持する書込動作活性化回路104bと、内部クロック信号CLKを所定時間遅延する遅延回路104cと、書込動作活性化信号WRITEと遅延回路104cの出力信号CLKDを受けるANDゲート104dと、ANDゲート104dの出力信号の活性化にตอบสนองして所定の時間幅を有するワンショットのパルス信号を生成するライトトリガ信号発生回路104eを含む。このライトトリガ信号発生回路104eからのワンショットパルス信号が、ライトトリガ信号WTとして出力される。このライトトリガ信号WTは、書込データの転送、およびライトドライバの活性化等を制御するために用いられる。次に、この図32から図34に示す回路の動作を図35に示すタイミングチャート図を参照して説明する。

【0193】クロックサイクル# aにおいて、チップセレクト信号/CSおよびコラムアドレスストローブ信号/CASがLレベルに設定され、ロウアドレスストローブ信号/RASおよびライトイネーブル信号/WEがHレベルに設定される。この制御信号の状態の組合せにより、リードコマンドが与えられ、図32に示すアクセスコマンドデコード回路3aからの列選択動作指示信号φrwがHレベルの活性化状態となり、また読出動作指示信号φrが活性化状態のHレベルとなる。

【0194】内部クロック信号CLKがHレベルに立上ると、読出トリガ回路102において、読出動作活性化回路102bが活性化され、読出動作活性化信号READがHレベルに立上がる。この読出動作活性化信号READはバースト長期間（図35において4）の間Hレベルの活性化状態に保持される。図35においては、クロックサイクル# aから# dにわたって読出動作活性化信号READがHレベルに保持される。

【0195】図32に示すアドレス活性化信号発生回路100が、列選択動作指示信号φrwの活性化に従って、内部クロック信号CLKの立上りに同期して、コラムアドレス活性化信号CADEを活性化状態へ駆動する。一方、読出動作活性化信号READの活性化にตอบสนองして、図33に示すリードトリガ信号発生回路102eが遅延回路102cからの遅延クロック信号CLKDの立上りにตอบสนองしてリードトリガ信号RTを所定期間活性化状態へ駆動する。

【0196】次のクロックサイクル# bから# dにおいては、内部に設けられたバーストアドレスカウンタに従って列アドレスが指定される。したがって、クロックサイクル# bから# dにおいては、図32に示すアドレス活性化信号発生回路100からのカウンタアドレス活性化信号SADEが内部クロック信号CLKに同期して活性化状態へ駆動される。また、図33に示すリードトリガ信号発生回路102eが動作し、リードトリガ信号RT

を内部クロック信号CLKの遅延信号である遅延内部クロック信号CLKDの立上りにตอบสนองして所定期間活性化状態へ駆動する。したがって、クロックサイクル# bから# dにおいては、カウンタアドレス活性化信号SADEの活性化された後、リードトリガ信号RTが生成される。バースト長期間が経過すると、クロックサイクル# eにおいて、読出動作活性化回路102bからの読出動作活性化信号READがLレベルの非活性化状態へ移行する。

【0197】クロックサイクル# fにおいて、チップセレクト信号/CSおよびコラムアドレスストローブ信号/CSおよびライトイネーブル信号/WEをLレベルに設定し、ロウアドレスストローブ信号/RASをHレベルに保持する。この制御信号の状態の組合せにより、ライトコマンドが与えられ、図32に示すアクセスコマンドデコード回路3aからの列選択動作指示信号φrwが活性化状態へ駆動され、またライトコマンドデコード3wからの書込動作指示信号φwがHレベルの活性化状態となる。

【0198】内部クロック信号CLKがHレベルに立上ると、図34に示す書込トリガ回路104において書込動作活性化回路104bが起動され、バースト長期間、書込動作活性化信号WRITEを活性化状態に保持する。また、図32に示すアドレス活性化信号発生回路100が動作し、内部クロック信号CLKの立上りにตอบสนองして、コラムアドレス活性化信号CADEを所定期間Hレベルの活性化状態に保持する。書込動作活性化信号WRITEの活性化にตอบสนองして、図34に示すライトトリガ信号発生回路104eが動作し、遅延回路104cからの遅延内部クロック信号CLKDの立上りにตอบสนองしてライトトリガ信号WTが活性化される。

【0199】クロックサイクル# gから# iにおいては、図32に示すアドレス活性化信号発生回路100は、カウンタアドレス活性化信号SADEを内部クロック信号CLKに同期して活性化する。このカウンタアドレス活性化信号SADEの活性化の後、図34に示すライトトリガ信号発生回路104eが、遅延内部クロック信号CLKDの立上りにตอบสนองしてライトトリガ信号WTを活性化する。バースト長期間が経過すると、クロックサイクル# jにおいて、図34に示す書込動作活性化回路104bからの書込動作活性化信号WRITEが非活性化される。

【0200】この図32から図34に示す回路構成においては、外部から与えられるアドレス信号または内部で生成されるアドレス信号がコラムアドレス信号として確定した後に内部でのデータの書込または読出動作が起動される。すなわち、図36に示すように、コラムアドレス活性化信号（またはカウンタアドレス活性化信号SADE）が活性化され、内部列アドレス信号が確定すると、リードトリガ信号RT（またはライトトリガ信号W

T)が活性化されて、内部でのデータの読出(または書込)動作が起動される。したがって、内部の列アドレスが確定する前に、読出動作を行ない、不確定状態の列に対するデータの書込/読出が行なわれるのを防止することができる。

【0201】コラムデコーダは、与えられた列アドレス信号(またはプリデコード信号)に従ってデコード動作を行なうだけであり、列選択線CSLが選択状態へ駆動されると、メモリセル列が内部データバスに接続される。この内部データバスに対するプリアンプまたはライトドライバによるデータの読出および書込が行なわれる。以下、このコラムデコーダを活性化するタイミングを最適化するための構成について説明する。

【0202】図37は、コラムデコーダイネーブル信号発生部の構成を示す図である。図37において、コラムデコーダイネーブル信号発生部は、ノード106aと接地ノードの間に互いに並列に接続され、それぞれのゲートにコラムアドレス活性化信号CADEおよびカウンタアドレス活性化信号SADEを受けるnチャネルMOSトランジスタ107aおよび107bと、ノード106bと接地ノードの間に互いに並列に接続され、かつそれぞれのゲートにリードトリガ信号RTおよびライトトリガ信号WTを受けるnチャネルMOSトランジスタ107cおよび107dと、ノード106aと接地ノードの間に選択的に形成される配線108aと、ノード106aとノード106bの間に選択的に形成される配線108bを含む。配線108aおよび108bは、択一的に形成され、配線108aが形成されるときには、配線108bは形成されず、ノード106aおよび106bは分離される。一方、配線108aの非形成時には、配線108bが形成され、ノード106aおよび106bが接続される。これらの配線108aおよび108bは、マスク配線であり、製造工程時においてマスクにより選択的に形成される。

【0203】コラムデコーダイネーブル信号発生部は、さらに、ノード106bの信号を反転してコラムデコーダイネーブル信号CDEを出力するインバータ111と、ノード106b上の信号をラッチするインバータラッチ110と、リセット信号ZCARにตอบสนองしてノード106bを電源電圧VccレベルにリセットするpチャネルMOSトランジスタ109を含む。インバータラッチ110は、直列に接続される2段のインバータを備え、比較的弱いラッチ能力で、ノード106bの信号をラッチする。次にこの図37に示すコラムデコーダイネーブル信号発生部の動作について図38および図39の信号波形図を参照して簡単に説明する。

【0204】まず、図38を参照して、配線108aが形成されず、配線108bが形成される場合の動作について説明する。この状態においては、ノード106aおよび106bが接続される。クロックサイクル#aにお

いて内部クロック信号CLKがHレベルに立上がると、応じて、コラムアドレス活性化信号CADEが活性化される。このコラムアドレス活性化信号CADEは、リードトリガ信号RTまたはライトトリガ信号WTよりも早いタイミングで活性化される。このコラムアドレス活性化信号CADEの活性化にตอบสนองして、nチャネルMOSトランジスタ107aが導通し、ノード106aおよび106bを接地電圧レベルに放電する。応じて、インバータ111からのコラムデコーダイネーブル信号CDEがHレベルに立上がる。

【0205】以降のクロックサイクル#bから#dにおいては、カウンタアドレス活性化信号SADEが内部クロック信号CLKの立上がりに対応して活性化される。このカウンタアドレス活性化信号SADEも、リードトリガ信号RTおよびライトトリガ信号WTの活性化よりも早いタイミングで活性化される。このカウンタアドレス活性化信号SADEの活性化にตอบสนองしてMOSトランジスタ107bが導通し、ノード106aおよび106bが接地電圧レベルに放電され、インバータ111からのコラムデコーダイネーブル信号CDEがHレベルに立上がる。各サイクルにおいて、リセット信号ZCARによりコラムデコーダイネーブル信号CDEがリセットされる。

【0206】したがって、この配線108aを形成せず、配線108bを形成した場合、コラムデコーダイネーブル信号CDEは、カウンタアドレス活性化信号SADEおよびコラムアドレス活性化信号CADEの活性化にตอบสนองして活性化される。コラムデコーダイネーブル信号CDEは、リードトリガ信号RTまたはライトトリガ信号WTの活性化よりも早いタイミングで活性化される。すなわち、データ読出が行なわれるかデータ書込が行なうか否かにかかわらず、コラムデコーダイネーブル信号が活性化される。したがって、内部列アドレス信号が確定した状態で、早いタイミングで、コラムデコーダが動作して、列選択動作を行なう。この列選択動作の間に、リードトリガ信号RTまたはライトトリガ信号WTに従ってデータの読出/書込が決定され、選択列へのメモリセルデータのアクセスが行なわれる。したがって、早いタイミングでコラムデコーダを活性化することができ(内部クロックCLKが立上がってから時間t<sub>a</sub>経過後に、コラムデコーダイネーブル信号CDを活性化でき)、高速のアクセスが可能となる。

【0207】次に図39を参照して、配線108aが形成され、配線108bが形成されない場合の動作について説明する。この状態においては、ノード106aおよび106bは電気的に分離され、ノード106aは接地電圧レベルに保持される。コラムアドレス活性化信号CADEが活性化されると、次いで、リードトリガ信号RTまたはライトトリガ信号WTが活性化される。このリードトリガ信号RTまたはライトトリガ信号WTの活性



化にตอบสนองして、MOSトランジスタ107cまたは107dが導通し、ノード106bが接地電圧レベルに放電され、インバータ111を介してコラムデコーダイネーブル信号CDEがHレベルに立上がる。所定時間が経過すると、リセット信号ZCARがLレベルの活性状態となり、MOSトランジスタ109により、ノード106bが再び電源電圧Vccレベルにプリチャージされ、コラムデコーダイネーブル信号CDEがHレベルからLレベルに移行する。

【0208】クロックサイクル#bから#dにおいては、カウンタアドレス活性化信号SADEの活性化されると、次いで、リードトリガ信号RTまたはライトトリガ信号WTが活性化される。このリードトリガ信号RTまたはライトトリガ信号WTの活性化に従って、MOSトランジスタ107cまたは107dが導通し、ノード106bが接地電圧レベルに放電され、コラムデコーダイネーブル信号CDEがHレベルの活性状態となる。各クロックサイクルにおいて、リセット信号ZCARに従って、ノード106bが電源電圧Vccレベルにプリチャージされ、コラムデコーダイネーブル信号CDEが非活性化される。

【0209】この図39に示す動作モードの場合には、内部クロック信号CLKが立上がり、コラムアドレス活性化信号CADEまたはカウンタアドレス活性化信号SADEが活性化され、次いでリードトリガ信号RTまたはライトトリガ信号WTが活性化されてから、コラムデコーダイネーブル信号CDEが活性化される。したがって、このコラムデコーダイネーブル信号CDEは、内部クロック信号CLKが立上がってから時間tb経過後に、活性化状態へ駆動される。この場合、したがって図38に示す時間taよりも時間tbが長くなる。この場合には、内部の列選択動作開始タイミングは、図38に示す構成よりも遅くなる。

【0210】内部クロック信号CLKが高速の場合には、アクセスがデータ読出がデータ書込であるか判定する前に早いタイミングでコラムデコーダを活性化する。内部クロック信号CLKの周波数が低く、比較的低速動作の場合には、コラムデコーダを比較的遅いタイミングで活性化する。これにより、クロック信号の周波数に応じた最適なタイミングで、コラムデコーダを動作させることができる。クロック信号が遅い場合、高速の場合に内部で列選択動作を開始するタイミングに余裕があり、コラムデコーダを活性化するタイミングを遅らせる。内部列アドレス信号が確定し、かつデータ書込/読出がいずれが行なわれるか確定した後、コラムデコーダを動作させることにより、読出動作および書込動作の一連の動作シーケンス内でコラムデコーダを活性化することができ、安定にデータの書込/読出を行なうことができる。

【0211】なお、図37に示す構成において、コラムアドレス活性化信号CADEおよびカウンタアドレス活

性化信号SADEを用いている。しかしながら、インバータラッチ110により、ノード106bの電圧レベルはラッチされるため、これらのカウンタアドレス活性化信号SADEおよびコラムアドレス活性化信号CADEに代えて、これらの信号に同期するワンショットパルスが用いられてもよい。

【0212】図40(A)は、リセット信号ZCARを発生する部分の構成の一例を示す図である。図40

(A)においてリセット信号発生部は、コラムアドレス活性化信号CADEとカウンタアドレス活性化信号SADEを受けるNOR回路110aと、NOR回路110aの出力信号の立上がりに対応してワンショットのパルス信号を発生するワンショットパルス発生回路110bを含む。このワンショットパルス発生回路110bは、NOR回路110aの出力信号がHレベルに立上がると、所定期間Lレベルに立下がるワンショットのパルス信号を生成して、リセット信号ZCARとして出力する。

【0213】すなわち、図40(B)に示すように、コラムアドレス活性化信号CADEが活性状態へ駆動されるとき、カウンタアドレス活性化信号SADEはLレベルである。コラムアドレス活性化信号CADEがLレベルの非活性状態となると、NOR回路110aの出力信号がHレベルとなり、ワンショットパルス発生回路110bからのリセット信号ZCARが所定期間Lレベルとなる。これにより、図37に示すリセット用のMOSトランジスタ109が導通し、ノード106bを電源電圧Vccレベルに充電する。

【0214】一方、カウンタアドレス活性SADEが活性化されるとき、コラムアドレス活性化信号CADEはLレベルを維持する。したがってこの状態においては、カウンタアドレス活性化信号SADEの立下がりに対応して、リセット信号ZCARが所定期間Lレベルとなる。これにより、各クロックサイクルごとに、ノード106bを、電源電圧レベルにプリチャージして、コラムデコーダイネーブル信号CDEを非活性化することができる。

【0215】[変更例] 図41(A)は、この発明の実施の形態6の変更例の構成を示す図である。図41

(A)において、コラムデコーダイネーブル信号発生部は、図37に示す構成に加えて、MOSトランジスタ107aと直列に内部クロック信号CLKをゲートに受けるnチャネルMOSトランジスタ107eが接続され、MOSトランジスタ107bと直列に、内部クロック信号CLKをゲートに受けるnチャネルMOSトランジスタ107fが接続される。他の構成は、図37に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0216】この図41(A)に示す構成においては、内部クロック信号CLKがHレベルのときに、MOSト

ランジスタ107eおよび107gが導通状態となる。内部クロック信号CLKがLレベルのときには、MOSトランジスタ107eおよび107fが非導通状態となり、ノード106aを接地ノードから切離す。したがって、リセット信号ZCARをこのアドレス活性化信号CADEおよびSADEと独立に活性化することにより、コラムデコーダイネーブル信号CDEの活性化期間を、アドレス活性化信号SADEおよびCADEの活性化期間よりも短くすることができる。

【0217】すなわち、図41(B)に示すように、内部クロック信号CLKが立上りしてから、アドレス活性化信号CADEまたはSADEが活性状態へ駆動される。内部クロック信号CLKがLレベルに立下がっても、アドレス活性化信号CADEまたはSADEは活性状態のHレベルを維持する。アドレス活性化信号CADEおよびSADEが活性状態にある期間、先の実施の形態1から4において説明したように、プリデコード信号Yまたは内部コラムアドレス信号CAが活性状態にある。アドレス活性化信号CADEまたはSADEが活性状態にあるときに、リセット信号ZCARを活性状態のLレベルへ駆動する。これにより、コラムデコーダイネーブル信号CDEがLレベルとなり、コラムデコーダイネーブル信号CDEの活性化期間は、アドレス活性化信号CADEまたはSADEの活性化期間、すなわち内部列アドレス信号またはプリデコード信号の活性化期間よりも短くすることができる。これにより、内部のプリデコード信号Yがリセットされる前に、コラムデコーダを非活性状態として、リセットされたプリデコード信号により、コラムデコーダが誤動作するのを確実に防止することができる。

【0218】ノード106aが、配線108bを介してノード106bに接続されているとき、MOSTランジスタ107a、107b、107eおよび107fがクロック信号CLKの立下がりにより非導通状態となっても、インバータラッチ110により、このノード106aおよび106bの電圧レベルはLレベルに保持されており、特に問題は生じない。したがって、このコラムデコーダイネーブル信号CDEがアドレス活性化信号CADEもしくはSADEまたはトリガ信号RTもしくはWTに従って活性化される場合においても、コラムデコーダイネーブル信号CDEの非活性化への移行タイミングを、内部クロック信号CLKの立下がりを基準として決定することができる。

【0219】図42(A)は、この変更例におけるリセット信号発生部の構成を概略的に示す図である。図42(A)において、リセット信号発生部は、読出動作活性化信号READと書込動作活性化信号WRITEを受けるOR回路115aと、OR回路115aの出力信号と内部クロック信号CLKを受けるAND回路115bと、AND回路115bの出力信号を所定時間遅延する

遅延回路115cと、遅延回路115cの出力信号の立下がりに応答して所定期間Lレベルとなるワンショットのパルス信号を発生するワンショットパルス発生回路115dを含む。このワンショットパルス発生回路115dから、リセット信号ZCARが出力される。次に、この図42(A)に示すリセット信号発生部の動作を図42(B)に示すタイミングチャート図を参照して説明する。

【0220】リードコマンドまたはライトコマンドが与えられると、内部クロック信号CLKの立上りに応答して、読出動作活性化信号READまたは書込動作活性化信号WRITEがHレベルに立上がる。活性化信号READまたはWRITEはバースト長期間Hレベルに保持される。したがって、AND回路115bからは、活性化信号READまたはWRITEがHレベルの間内部クロック信号CLKに同期した信号が出力される。遅延回路115cが、このAND回路115bの出力信号を所定時間遅延する。

【0221】ワンショットパルス発生回路115dは、この内部クロック信号CLKが立下がってから所定期間経過後に、リセット信号ZCARをLレベルに駆動する。このリセット動作は、バースト長期間繰返し実行される。この図42(A)に示す構成を利用することにより、コラムデコーダイネーブル信号CDEが、信号CADE、SADEまたはRTおよびWTの活性化に応答して活性化されても、コラムデコーダイネーブル信号CDEを所定のタイミングでリセットすることができ、コラムデコーダイネーブル信号CDEの活性化期間を最適な値に設定することができる。

【0222】図43(A)は、リセット信号発生部の他の構成を示す図である。図43(A)において、リセット信号発生部は、列選択動作活性化信号/COLACTと内部クロック信号CLKを受けるNOR回路116aと、NOR回路116aの出力信号を所定時間遅延する遅延回路116bと、遅延回路116bの出力信号の立下がりに応答して、ワンショットのパルス信号を発生するワンショットパルス発生回路116cを含む。ワンショットパルス発生回路116cから、リセット信号ZCARが出力される。列選択動作活性化信号/COLACTは、図5に示す回路構成を用いて発生され、アクセスコマンドが与えられると、バースト長期間活性状態のLレベルへ駆動される。次に、この図43(A)に示すリセット信号発生部の動作を図43(B)にタイミングチャート図を参照して説明する。

【0223】アクセスコマンドが与えられると、列選択動作活性化信号/COLACTが、バースト長期間Lレベルに駆動される。この列選択動作活性化信号/COLACTがLレベルに駆動されると、NOR回路116aからは、内部クロック信号CLKを反転した信号が出力される。遅延回路116bが、このNOR回路116a



の出力信号を所定時間遅延する。ワンショットパルス発生回路116cが、この遅延回路116bの出力信号の立上がりに対応して所定期間Lレベルとなるワンショットのパルス信号を発生する。したがって、内部クロック信号CLKが立下がってから所定時間経過後に、リセット信号ZCARが所定期間Lレベルとなり、コラムデコーダイネーブル信号CDEをリセットする。

【0224】なお、この図43(A)に示す回路構成において、列選択動作活性化信号/CLACTは、バースト長期間経過後、内部クロック信号CLKの立上がりに対応してHレベルの非活性状態へ駆動される。この場合、最後のサイクルにおいて、リセット信号ZCARが不完全な形で形成されてリセットが不完全となる可能性がある。この場合、図5に示すバースト長カウンタ11cの出力信号を、半クロックサイクル遅延させて内部クロック信号CLKの立上がりに対応してセット/リセットフリップフロップをリセットする構成とすることにより、図43(B)に破線で示すように、列選択動作活性化信号/COLACTは、バースト長期間経過後、内部クロック信号CLKの立上がり同期して、Hレベルの非活性状態となり、NOR回路116aの出力信号は十分、内部クロック信号CLKがLレベルの期間、Hレベルとなる信号を出力することができ、正確にリセット信号ZCARを活性化することができる。

【0225】以上のように、この発明の実施の形態6に従えば、コラムデコーダの活性化タイミングを、アドレス活性化信号またはリードトリガ信号/ライトトリガ信号のいずれかで設定するように構成しているため、クロック信号の周波数に合わせて最適なタイミングでコラムデコーダを動作させることができる。

【0226】[他の適用例] 上述の説明においては、コラムアドレス活性化信号CADEまたはカウンタアドレス活性化信号SADEにより、内部列アドレスまたはプリデコード信号を初期状態にリセットしている。しかしながら、この内部コラムアドレス信号発生部およびプリデコード部発生部にラッチ回路が設けられている場合、このアドレス活性化信号CADEおよびSADEとは別のリセット信号(たとえば図8(A)参照)を用いてリセットすることにより、高速動作を実現することができる。したがって、実施の形態1から5において、これらがすべて組合せて用いれてもよく、また実施の形態1から5が従来の同期型半導体記憶装置において個々に適用されてもよい。また、内部列アドレス信号CAおよびプリデコード信号Yはワンショットパルスの形で発生されてもよい(リセットパルス不要)。

【0227】また、実施の形態6において、アルミニウム配線などのマスク配線により、コラムデコーダイネーブル信号の活性化タイミングの調整をしている。しかしながら、特定のボンディングパッドの電位を固定的に設定することにより、コラムデコーダイネーブル信号CD

Eの活性化タイミングが調整される構成が用いられてもよい。配線部に代えてボンディングパッドの電位に応じて選択的に導通/非導通とされるスイッチング素子が設けられればよい。

【0228】

【発明の効果】請求項1に係る発明に従えば、クロック信号に同期して外部から与えられるアドレス信号を取込んで相補内部アドレス信号を生成しているため、早いタイミングで相補アドレス信号を生成することができ、応じて早いタイミングで相補内部列アドレス信号を生成することが可能となる。

【0229】請求項2に係る発明に従えば、クロック信号に同期して、与えられたアドレス信号から相補信号を生成しかつラッチする第1のラッチ回路と、その第1のラッチ回路の相補信号を、アドレス入力部と相補的に導通するゲート回路を介して通過させて内部アドレス信号を生成しているため、簡易な回路構成でほぼ同じタイミングで相補内部アドレス信号を生成することができる。

【0230】請求項3に係る発明に従えば、外部からのコマンドに従って列アドレス活性化信号を生成し、この列アドレス活性化信号に従って相補内部アドレス信号から相補内部列アドレス信号を生成しているため、早いタイミングで相補内部列アドレス信号を生成することができ、かつ同じタイミングで確定状態とされる相補の内部列アドレス信号を生成することができる。

【0231】請求項4に係る発明に従えば、相補内部列アドレス信号をラッチしているため、安定に、相補内部列アドレス信号を生成することができる。

【0232】請求項5に係る発明に従えば、列アドレス指示信号に従って、各クロックサイクルにおいて相補内部列アドレス信号を生成し、かつ内部クロック信号の各サイクルにおいてこの相補内部列アドレス信号を同じ電圧レベルの初期状態にセットするように構成しているため、後続のクロックサイクルにおいて、前のサイクルの影響を受けることなく内部列アドレス信号を一方方向にその電圧レベルを変化させることができ、高速で内部列アドレス信号を確定状態に設定することができる。

【0233】請求項6に係る発明に従えば、各クロックサイクルにおいて相補内部列アドレス信号をワンショットパルスの形で形成するようにしているため、容易に各クロックサイクルにおいて内部列アドレス信号をリセットすることができる。

【0234】請求項7に係る発明に従えば、相補内部アドレス信号を受けてアドレス活性化信号の活性化に対応してこの相補内部アドレス信号をプリデコードしてプリデコード列アドレス信号を生成するように構成したため、内部列アドレス信号の確定タイミングとプリデコード信号の確定タイミングをほぼ同じとすることができ、高速でプリデコード信号を生成することができる。

【0235】請求項8に係る発明に従えば、プリデコー

ド信号のグループ内列指定用の第1のグループのビットを、グループ指定用の第2のグループのビットでさらにプリデコードするプリデコーダの構成において、第2のグループのビットを受けるインバータの出力ノードと電源ノードとの間に第1のグループのビットそれぞれに対応するインバータを設けることにより、第2のビットを出力する部分の出力負荷が軽減され、高速でプリデコード動作を行なうことができる。

【0236】請求項9に係る発明に従えば、第2のグループのビットをワンショットパルスの形で生成しているため、プリデコード信号をすべてワンショットパルス化することができ、次段のコラムデコーダの列選択動作を高速化することができる。

【0237】請求項10に係る発明に従えば、相補アドレス信号をプリデコードしてワンショットパルスの形でプリデコード信号を出力し、このプリデコードの出力信号を不良列アドレスと比較し、その判定結果に従ってコラムデコーダの一方を選択状態へ駆動しているため、スベアコラム（冗長列）使用後においても、判定結果が既にリセットされているため、高速でノーマルコラムデコーダを活性状態へ駆動することができる。

【0238】請求項11に係る発明に従えば、スベア判定回路は、不良列使用を示す状態へスベア指示信号を駆動する素子の電流駆動力が、冗長列不使用を示す信号出力する素子のそれよりも大きくされており、スベア判定時において、不良列使用の判定結果を高速で行なうことができ、応じて高速でノーマルコラムデコーダのディセーブルおよびスベアコラムデコーダのイネーブルを行なうことができる。

【0239】請求項12に係る発明に従えば、外部からのコマンドをクロック信号と独立に受けてデコードして列選択動作指示信号を活性化し、次いでクロック信号に同期してこの列選択動作指示信号をラッチして列アドレス活性化信号を生成し、この列アドレス活性化信号に従って外部のアドレス信号から内部列アドレス信号を生成するように構成しているため、内部クロック信号の立上がり時において、実行すべき動作モードは確定されており、早いタイミングで内部アドレス信号を確定状態へ駆動することができる。

【0240】請求項13に係る発明に従えば、列アクセスモード指示信号により、列選択動作活性化信号を発生し、この列選択動作活性化信号の活性化と列選択動作指示信号の非活性化とにตอบสนองしてカウンタアドレス活性化信号をクロック信号に同期して生成し、カウンタからのアドレス信号と外部からのアドレス信号を、これらの列選択動作指示信号およびカウンタアドレス活性化信号に従って選択的に通過させているため、早いタイミングで内部列アドレス信号を生成することができる。

【0241】請求項14に係る発明に従えば、内部列アドレス活性化信号およびカウンタアドレス活性化信号を

ワンショットパルスの形で出力しており、応じて内部列アドレス信号をワンショットパルスの形で生成することができ、内部の列選択動作を高速化することができる。

【0242】請求項15に係る発明に従えば、アドレス信号からクロック信号に同期して内部アドレス信号を生成し、列アドレス活性化信号に同期してこの内部アドレス信号から内部列アドレス信号を生成して出力するように構成しているため、早いタイミングで内部列アドレス信号を確定状態へ駆動することができる。

【0243】請求項16に係る発明に従えば、内部列アドレス信号をラッチしているため、安定に列選択動作時列アドレス信号を所定状態に保持することができる。

【0244】請求項17に係る発明に従えば、列アドレス活性化信号およびカウンタアドレス活性化信号を用いて外部からのアドレス信号およびカウンタからアドレス信号を選択的に通過させて内部列アドレス信号を生成するように論理ゲートを用いて構成しているため、容易に、ワンショットパルス化された内部列アドレス信号を生成することができる。

【0245】請求項18に係る発明に従えば、列アドレス活性化信号の活性化にตอบสนองしてカウンタアドレス活性化信号を非活性化するように構成しているため、カウンタからのアドレス信号と外部からのアドレス信号との衝突を防止ことができ、正確に内部列アドレスを生成することができる。

【0246】請求項19に係る発明に従えば、列選択コマンドを、外部からの列アドレス信号を取込用のコマンドおよびカウンタからアドレスを取込用のコマンドを別々に設けており、またこれらのコマンドを、クロック信号と独立にデコードしているため、正確にかつ早いタイミングで内部列アドレス信号を生成することができる。請求項20に係る発明に従えば、コラムデコーダイネーブル信号を、リードトリガ信号およびライトトリガ信号の一方またはカウンタアドレス活性化信号および列アドレス活性化信号の活性化のいずれかに従って活性化するように構成しているため、内部クロック信号の周波数に合わせて最適なタイミングでコラムデコーダイネーブル信号を活性化することができる。

【0247】請求項21に係る発明に従えば、コラムデコーダイネーブル信号は各クロックサイクルでリセットするように構成しているため、各サイクルにおいて、コラムデコーダがダイナミックに動作するため、高速で列選択動作を行なうことができる。

【0248】請求項22に係る発明に従えば、コラムデコーダイネーブル信号の活性化タイミングの設定を、マスク配線により行なうように構成したため、簡易な回路構成で容易にコラムデコーダイネーブル信号の活性化タイミングを設定することができる。

【図面の簡単な説明】

【図1】 この発明に従う同期型半導体記憶装置の全体

の構成を概略的に示す図である。

【図2】 図1に示す同期型半導体記憶装置のコマンドデコーダおよび制御回路の構成を示す図である。

【図3】 図1に示す内部列アドレス信号発生回路の構成を概略的に示す図である。

【図4】 図2および図3に示す回路の動作を示すタイミングチャート図である。

【図5】 図2に示す列選択動作活性化信号を発生する部分の構成を概略的に示す図である。

【図6】 図3に示す選択回路の構成を示す図である。

【図7】 図3に示す選択回路の他の構成を示す図である。

【図8】 (A)は、図2に示すリセット信号を発生する回路の構成を示し、(B)は、(A)に示す回路の動作を示すタイミングチャートである。

【図9】 図2に示す回路の変更例を示す図である。

【図10】 図9に示す回路の動作を示すタイミングチャートである。

【図11】 図2および図9に示す回路の変更例を示す図である。

【図12】 図1に示す内部列アドレス信号発生回路の内部アドレス信号の発生部の構成を示す図である。

【図13】 図1に示す内部列アドレス信号発生回路の構成を概略的に示す図である。

【図14】 図13に示す回路の効果を示すための図であり、内部行アドレス信号発生部の構成を示す図である。

【図15】 図13に示す回路の動作を示す信号波形図である。

【図16】 図12に示す内部アドレス信号発生部の変更例を示す図である。

【図17】 図1に示すコラムプリデコーダの構成を概略的に示す図である。

【図18】 図17に示すプリデコーダの具体的構成を示す図である。

【図19】 図17に示すプリデコーダの動作を示すタイミングチャートである。

【図20】 図17に示すプリデコーダの変更例を概略的に示す図である。

【図21】 図1に示すプリデコーダの変更例を示す図である。

【図22】 図21に示す第2段プリデコード回路の構成を示す図である。

【図23】 図22に示す第2段プリデコード回路の動作を示す信号波形図である。

【図24】 図21に示す第2段プリデコード回路の変更例を示す図である。

【図25】 図24に示す第2段プリデコード回路の構成を示す図である。

【図26】 図1に示すスベア判定回路、スベアコラム

デコーダおよびコラムデコーダの構成を概略的に示す図である

【図27】 図26に示すスベア判定回路の動作を示す信号波形図である。

【図28】 図26に示すコラムデコーダイネーブル信号発生部の構成を概略的に示す図である。

【図29】 図26に示すスベア判定回路の要素ゲートの電流駆動力を模式的に示す図である。

【図30】 図29に示すスベア判定回路の動作を示す信号波形図である。

【図31】 図29に示すゲート回路の具体的構成を示す図である。

【図32】 図1に示すコマンドデコーダおよび制御回路の構成を概略的に示す図である。

【図33】 図32に示す読出トリガ回路の構成を概略的に示す図である。

【図34】 図32に示す書込トリガ回路の構成を概略的に示す図である。

【図35】 図32から34に示す回路の動作を示すタイミングチャートである。

【図36】 アドレス活性化信号とリード/ライトトリガ信号による動作内容を説明するための図である。

【図37】 コラムデコーダイネーブル信号発生部の構成を示す図である。

【図38】 図37に示すコラムデコーダイネーブル信号発生部の動作を示すタイミングチャート図である。

【図39】 図37に示すコラムデコーダイネーブル信号発生部の動作を示すタイミングチャート図である。

【図40】 (A)は、図37に示すリセット信号発生部の構成を示し、(B)は、(A)に示す回路動作を示す信号波形図である。

【図41】 (A)は、コラムデコーダイネーブル信号発生部の変更例の構成を示し、(B)は、(A)に示す回路動作を示すタイミングチャート図である。

【図42】 (A)は、図41(A)に示すリセット信号発生部の構成を概略的に示し、(B)は、(A)に示す回路動作を示すタイミングチャートである。

【図43】 (A)は、図41(A)に示すリセット信号発生部の他の構成を示す図であり、(B)は、(A)に示す回路の動作を示すタイミングチャート図である。

【図44】 従来の同期型半導体記憶装置の全体の構成を概略的に示す図である。

【図45】 図44に示す同期型半導体記憶装置の動作を示すタイミングチャート図である。

【図46】 同期型半導体記憶装置における列選択動作シーケンスを示す図である。

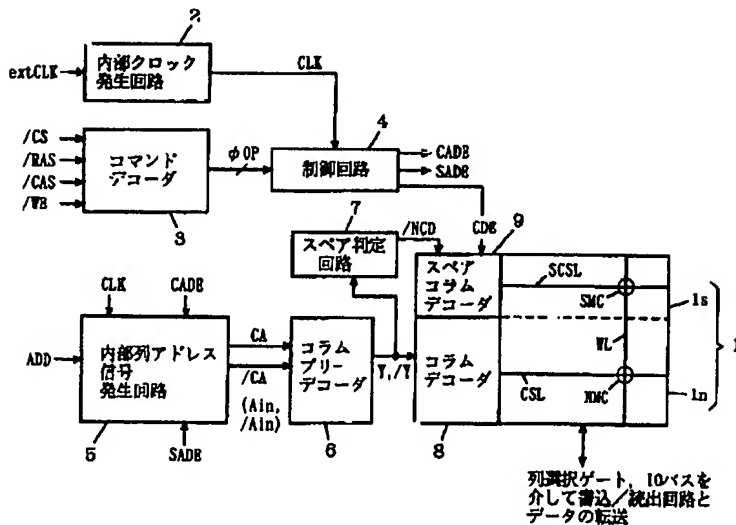
【符号の説明】

1 メモリセルアレイ、1n ノーマルメモリセルアレイ、1s スベアメモリセルアレイ、2 内部クロック発生回路、3 コマンドデコーダ、4 制御回路、5

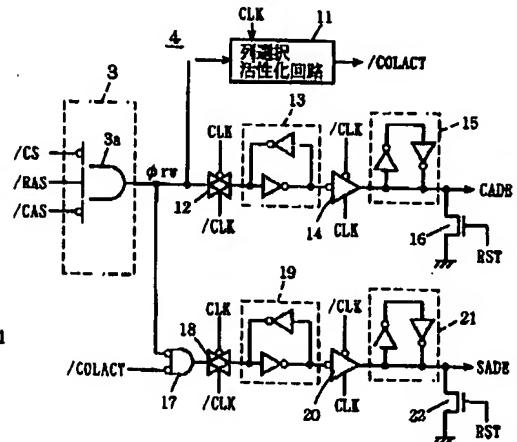
内部列アドレス信号発生回路、6 コラムプリデコーダ、7 スペア判定回路、8 コラムデコーダ、9 スペアコラムデコーダ、3a アクセスコマンドデコード回路、12, 18 CMSTランスマッションゲート、14, 20トライステートインバータバッファ、17 NOR回路、16, 22 リセット用MOSTランジスタ、11, 21 列選択活性化回路、25 バーストアドレスカウンタ、26 選択回路、26a, 26b CMOSランジスタゲート、26c ラッチ、26d, 26e, 26f NAND回路、27a NOR回路、27b ワンショットパルス発生回路、3b コマンドデコード回路、28a インバータ、28b AND回路、30 CMOSランジスタ、31 インバータラッチ、32, 33 トライステートインバータバッファ、34 インバータラッチ、29 アドレス入力ラッチ、35a, 35b AND回路、41a インバータラッチ、41b, 41c トライステートインバータバ

ッファ、41d インバータラッチ、41e, 41f  
 インバータ、6a NAND型プリデコード回路、45  
 a, 45c NAND型プリデコード回路、45b, 4  
 5d トライステートインバータバッファ、50a~5  
 0e 第1段プリデコード回路、51 第2段プリデコ  
 ード回路、52 CMOSインバータ、53-0~53  
 -15 CMOSインバータ、72a0, 72b0~7  
 2a3, 72b3ヒューズ素子、73, 74 NOR回  
 路、75 NAND回路、76 インバータ、81, 9  
 1 AND回路、82a AND型ノーマルコラムデコ  
 ード回路、92a バッファ回路、100 アドレス活  
 性化信号発生回路、102 読出トリガ回路、104  
 書込トリガ回路、107a~107f MOSTランジ  
 スタ、108a, 108b マスク配線、109 リセ  
 ット用MOSTランジスタ、110 インバータラッ  
 チ、111 インバータ。

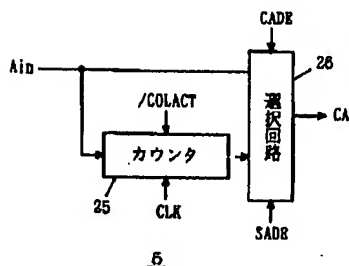
【図1】



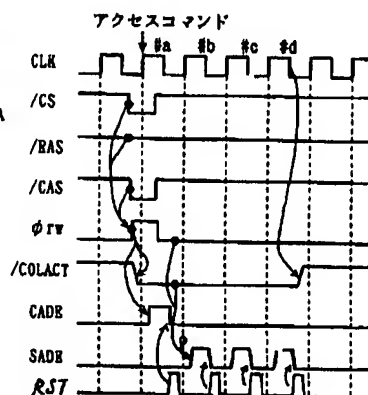
【図2】



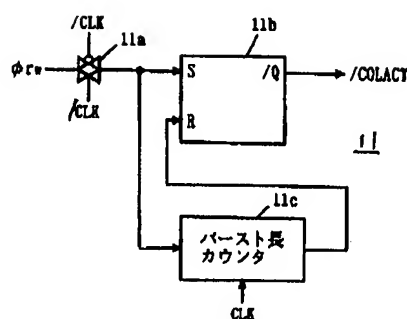
【図3】



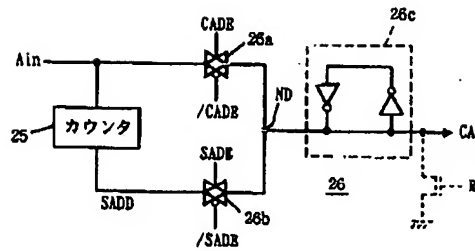
【図4】



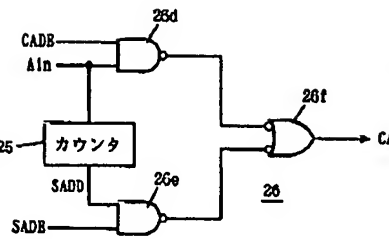
【図5】



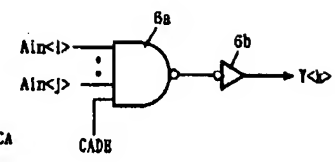
【図6】



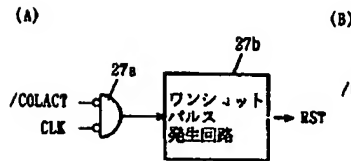
【図7】



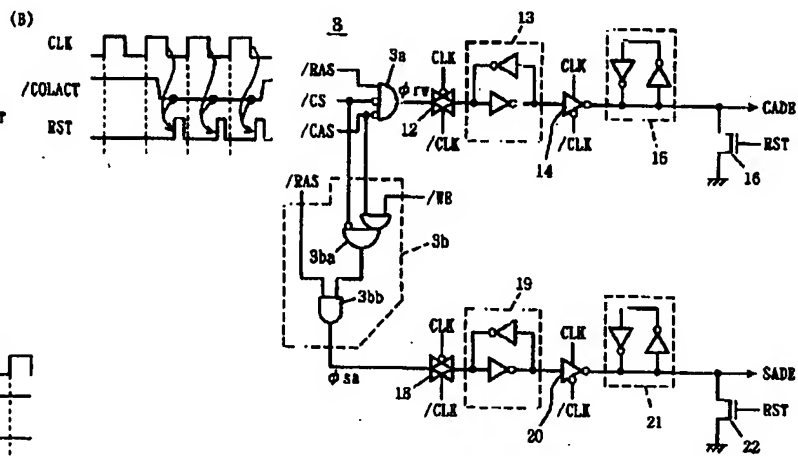
【図18】



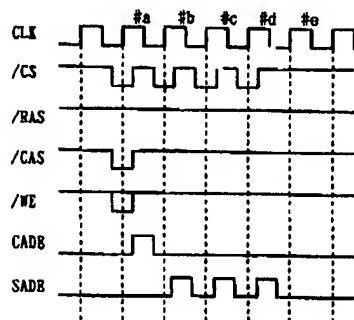
【図8】



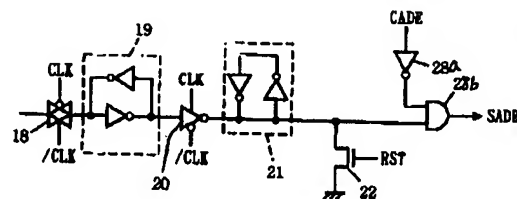
【図9】



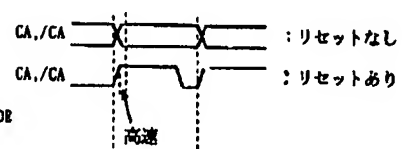
【図10】



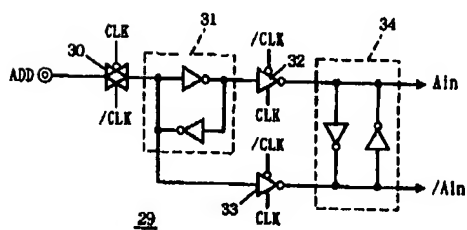
【図11】



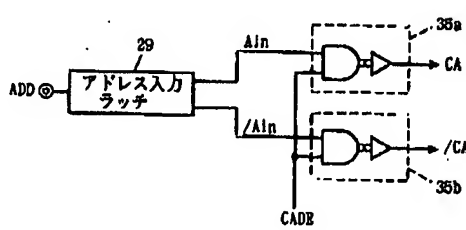
【図15】



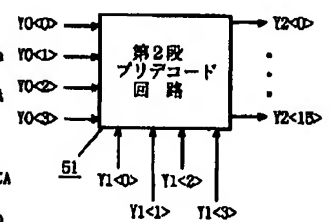
【図12】



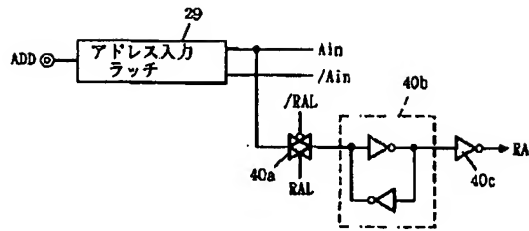
【図13】



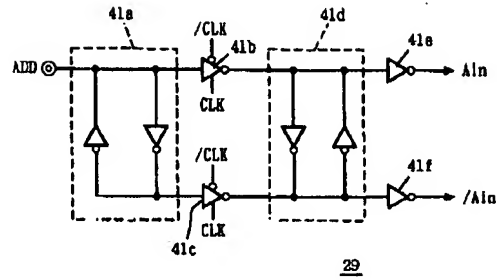
【図24】



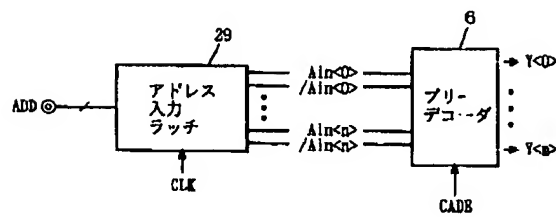
【図14】



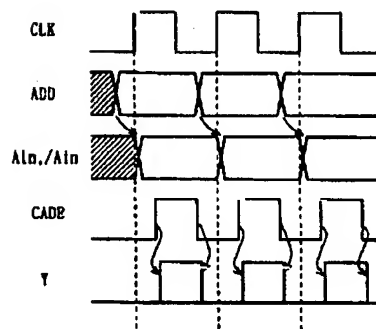
【図16】



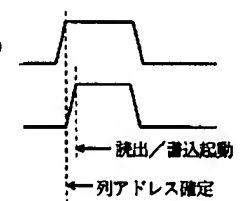
【図17】



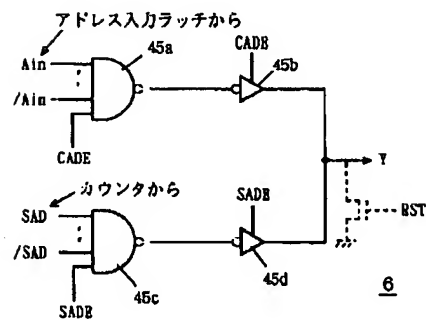
【図19】



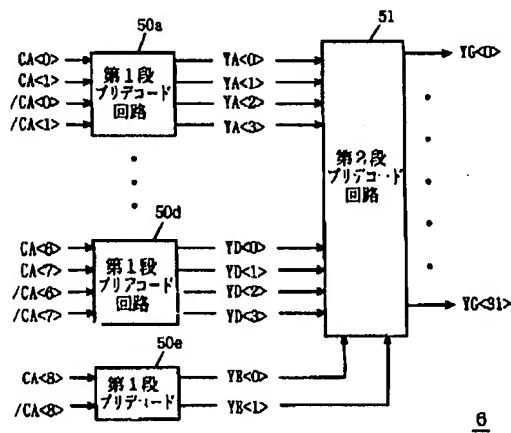
【図36】



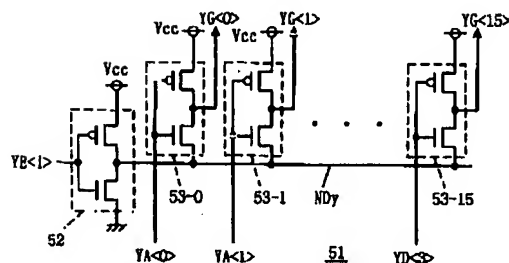
【図20】



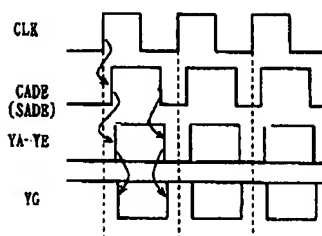
【図21】



【図22】

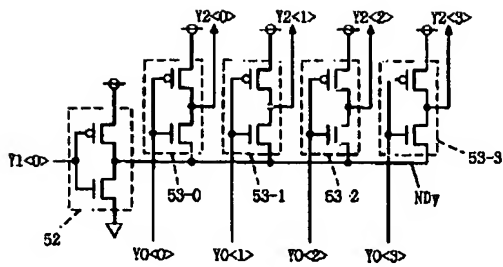


【図23】

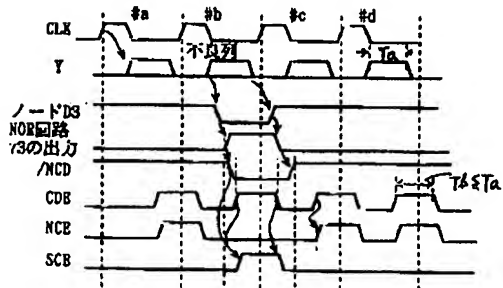




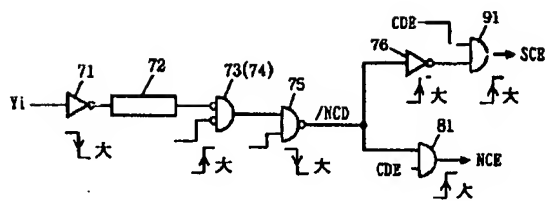
【図25】



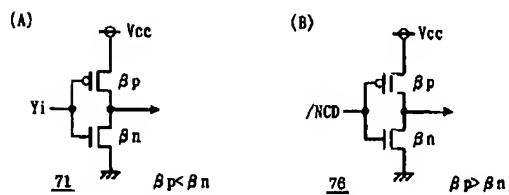
【図27】



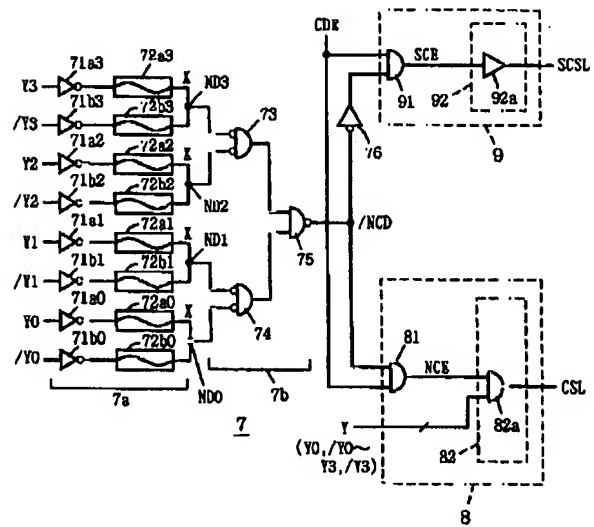
【図29】



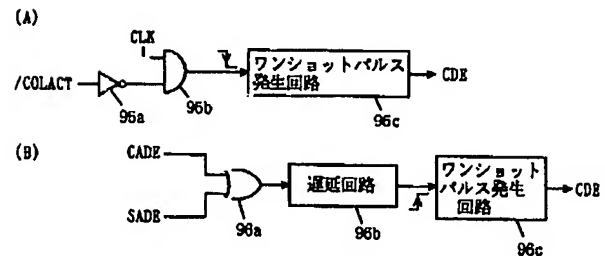
【図31】



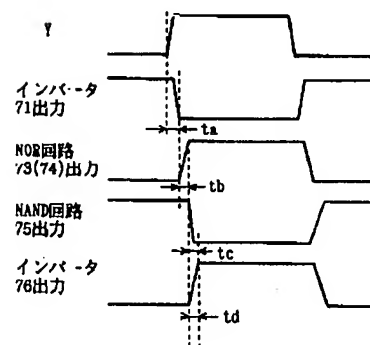
【図26】



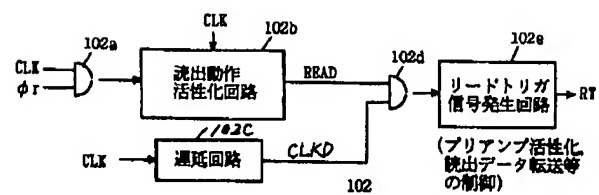
【図28】



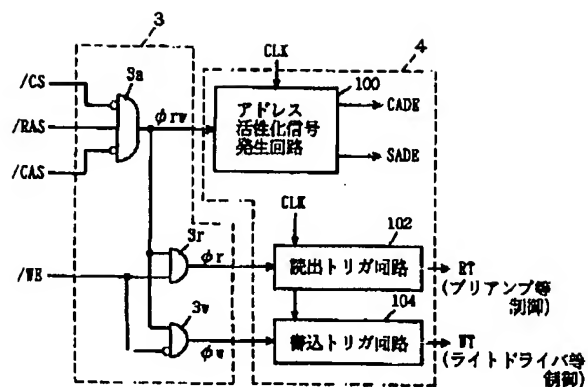
【図30】



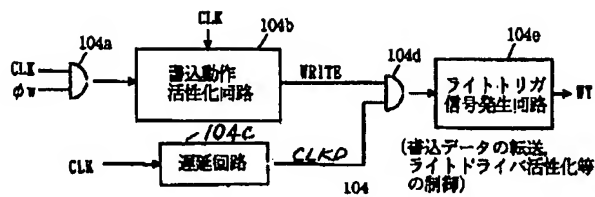
【図33】



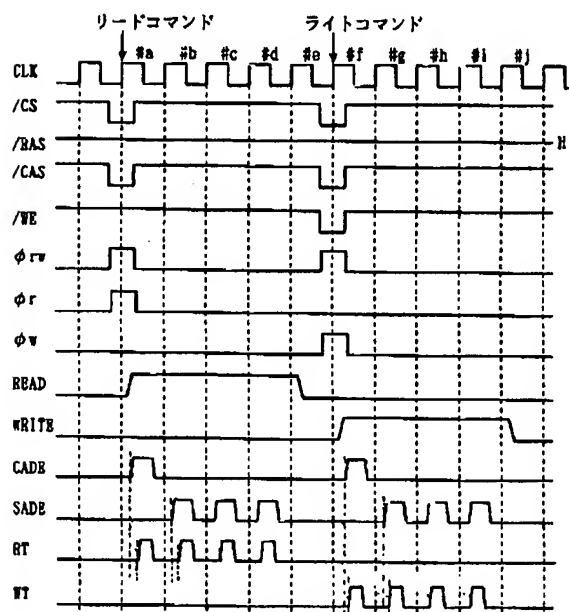
【図32】



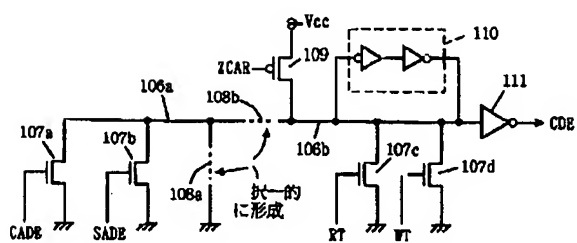
【図34】



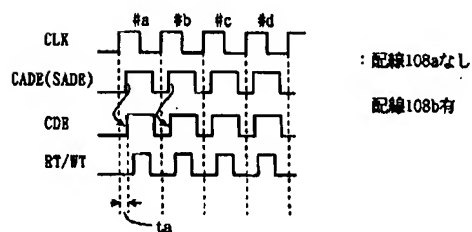
【図35】



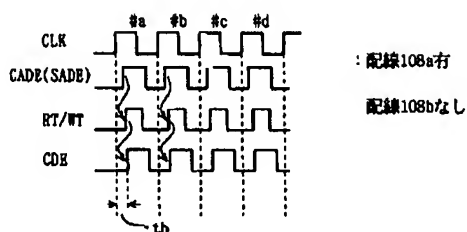
【図37】



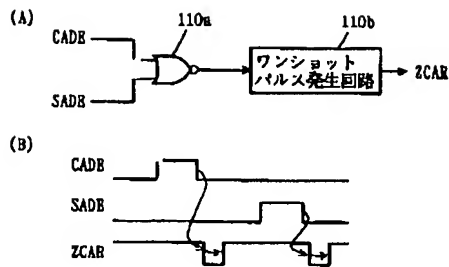
【図38】



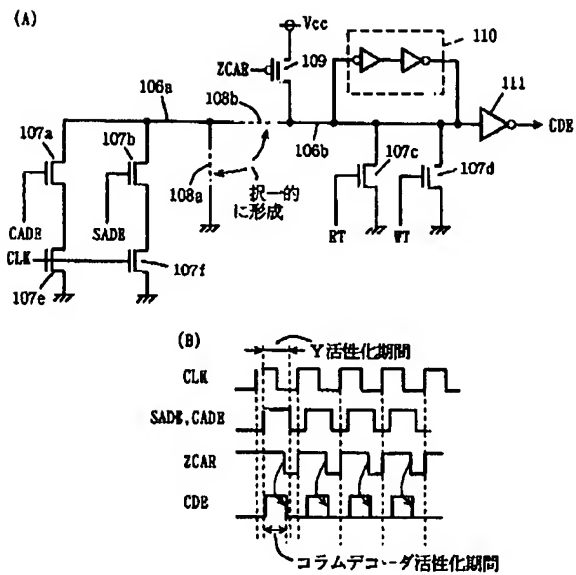
【図39】



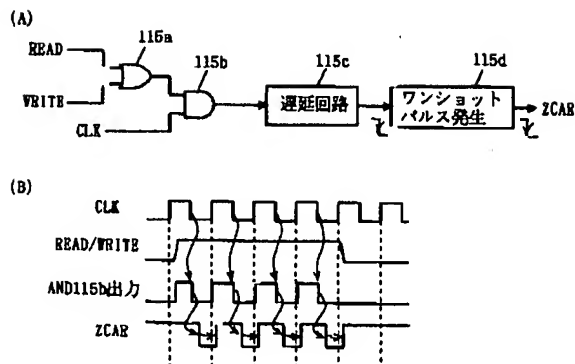
【図40】



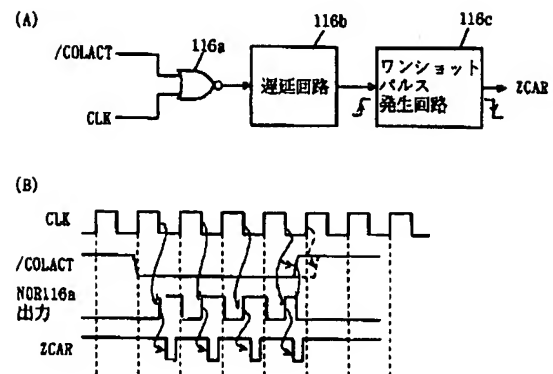
【図41】



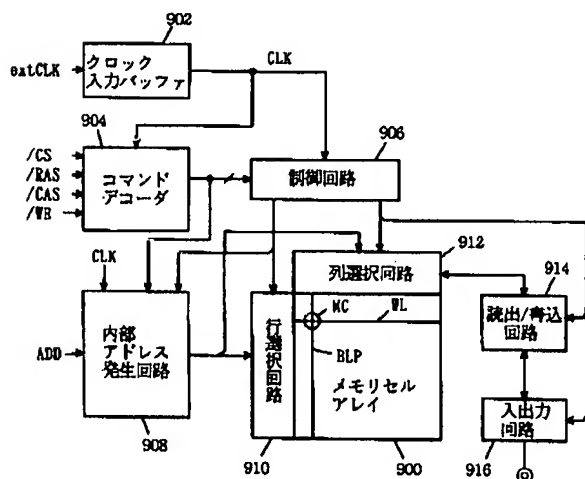
【図42】



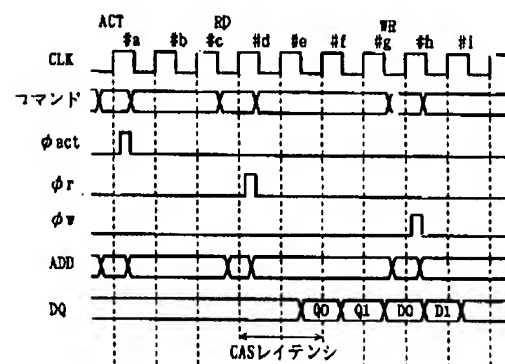
【図43】



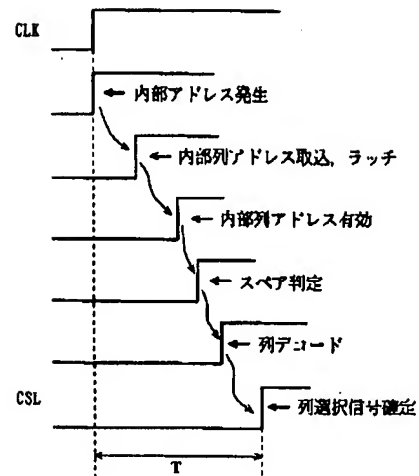
【図44】



【図45】



【図46】



フロントページの続き

(72)発明者 原 素子  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5B015 AA07 BA02 BA08 BA62 CA02  
CA03 CA04 EA02  
5B024 AA15 BA15 BA18 BA21 BA29  
CA07 CA17